

«Разработка вычислительных систем» (РВС)

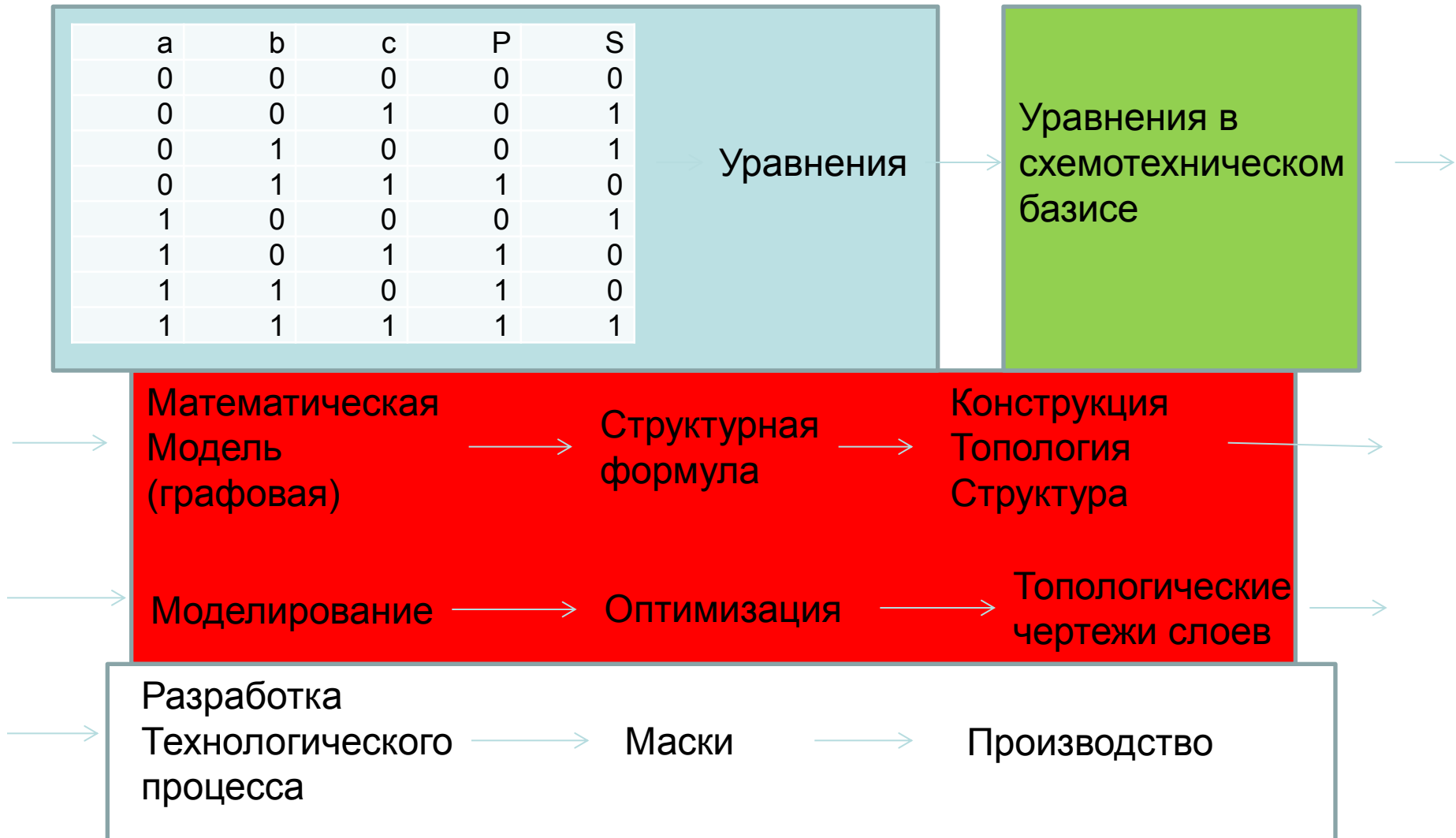
для образовательной программы 09.03.01 «Информатика и вычислительная техника»

Лекция 11

Лектор

Трубочкина Надежда Константиновна,
д.т.н., профессор, ntrubochkina@hse.ru

Этапы проектирования цифровых устройств компьютера



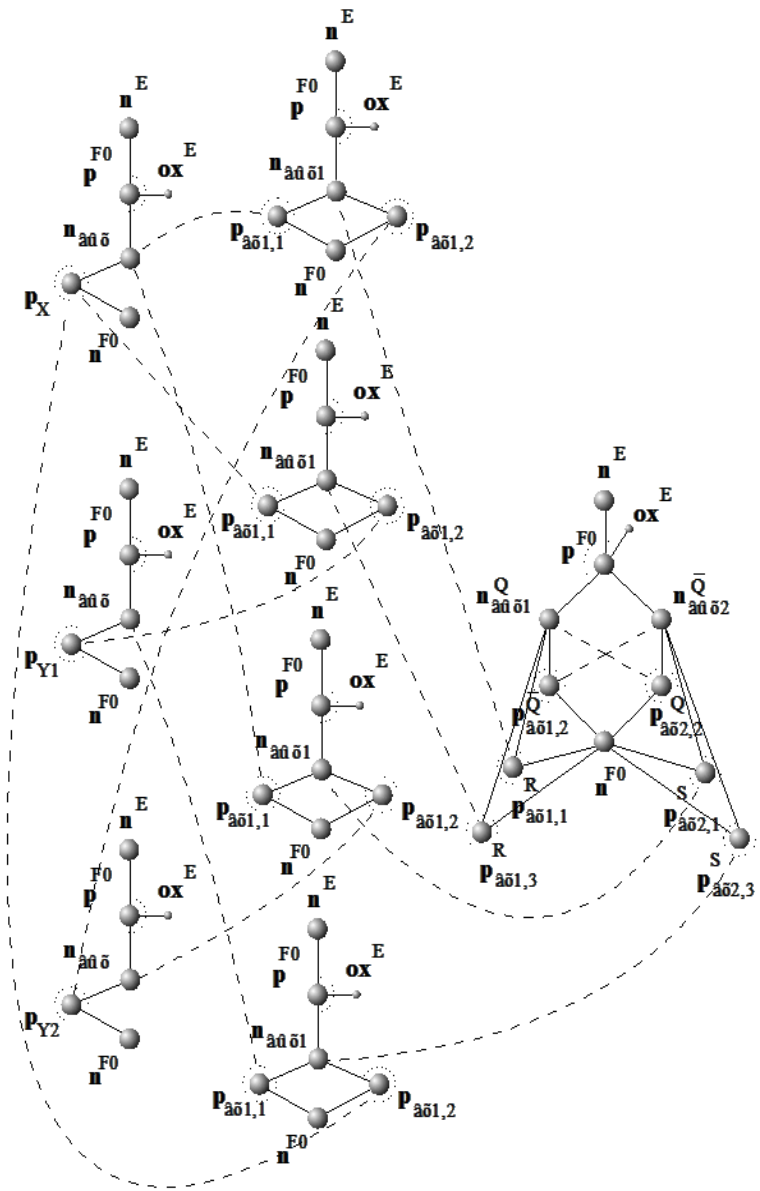
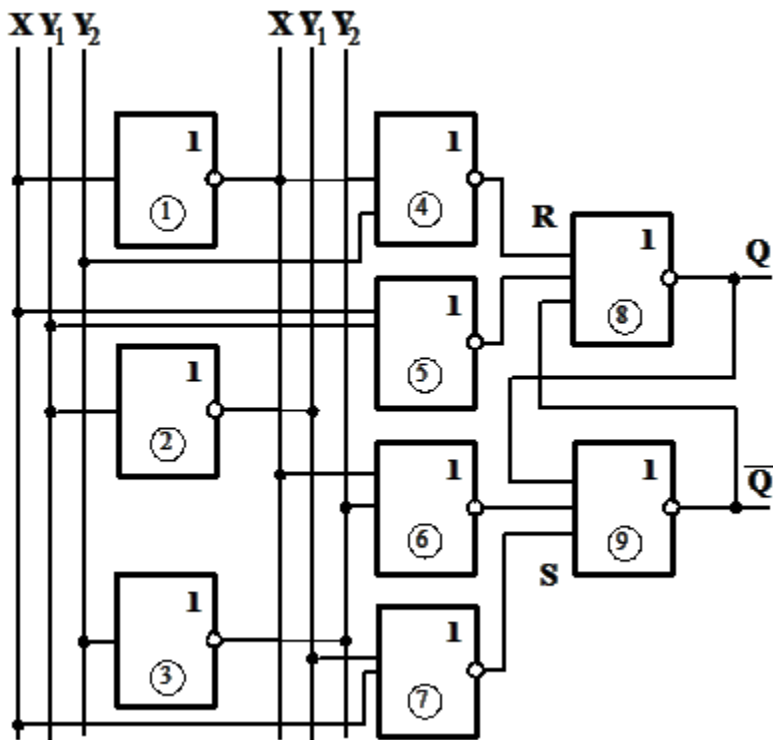
ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА ЭВМ

- Регистры, счетчики, генераторы чисел и прочие многоразрядные схемы, построенные на элементах памяти (ЭП).
- *Регистром* называется функциональный узел, выполняющий хранение операндов и их сдвиг на определенное число разрядов.
- *Счетчиком* называется узел, на выходах которого образуется число, соответствующее количеству поступивших на вход импульсов.
- *Генератором чисел* называется узел, дающий на выходах заданную последовательность двоичных чисел.

Пример

$$R = \overline{\overline{XY_2}} + \overline{\overline{XY_1}} = \overline{\overline{X}} + \overline{Y_2} + \overline{\overline{X}} + \overline{Y_1};$$

$$S = \overline{\overline{XY_2}} + \overline{\overline{XY_1}} = \overline{\overline{X}} + \overline{Y_2} + \overline{\overline{X}} + \overline{Y_1}.$$

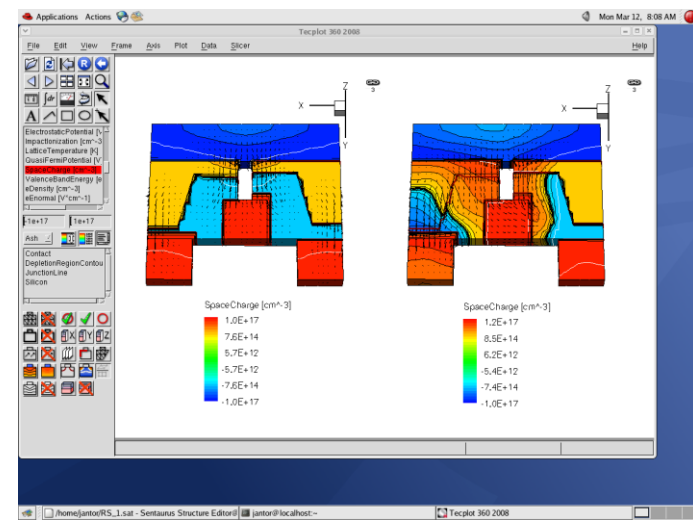
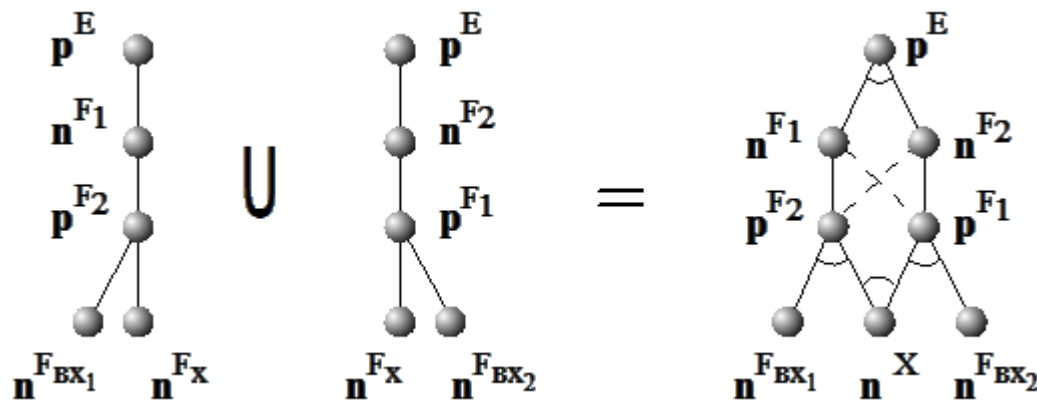
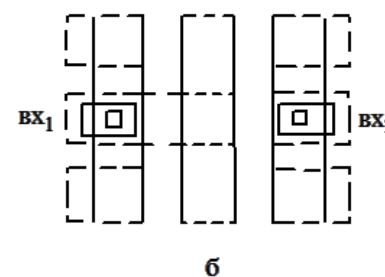
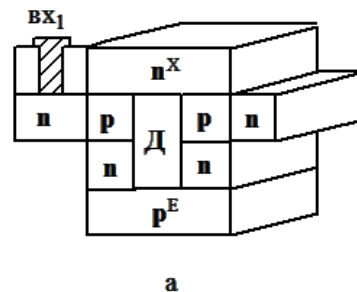
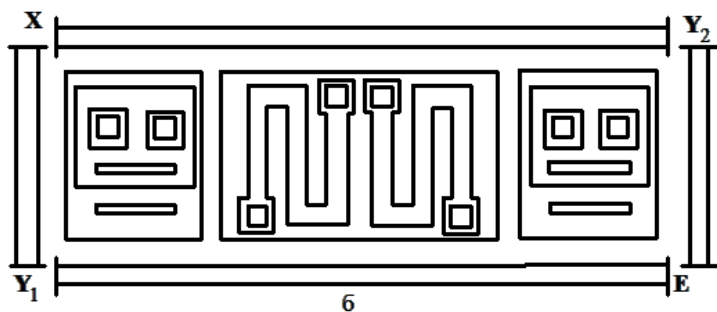
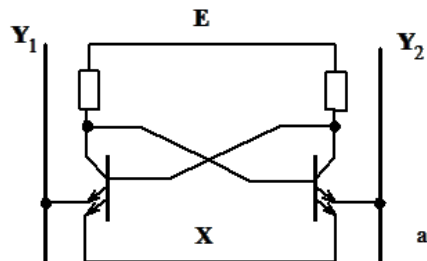


РЕГИСТРЫ

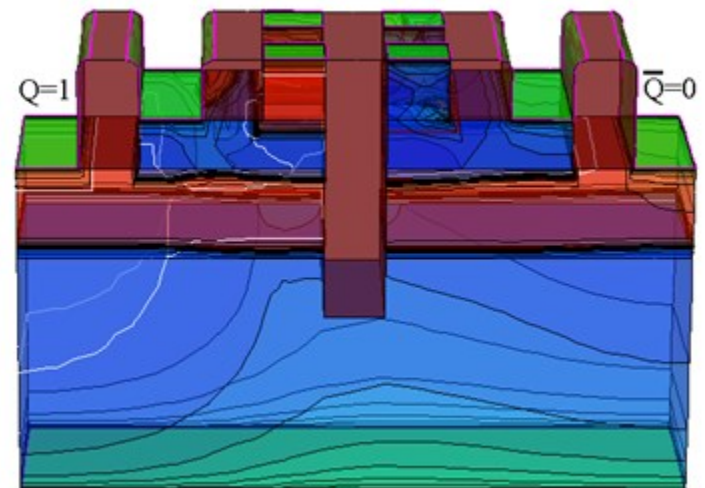
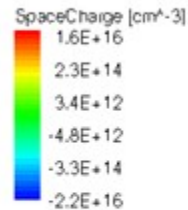
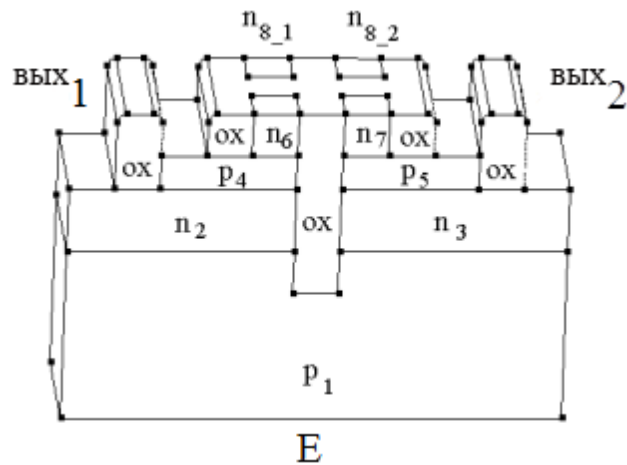
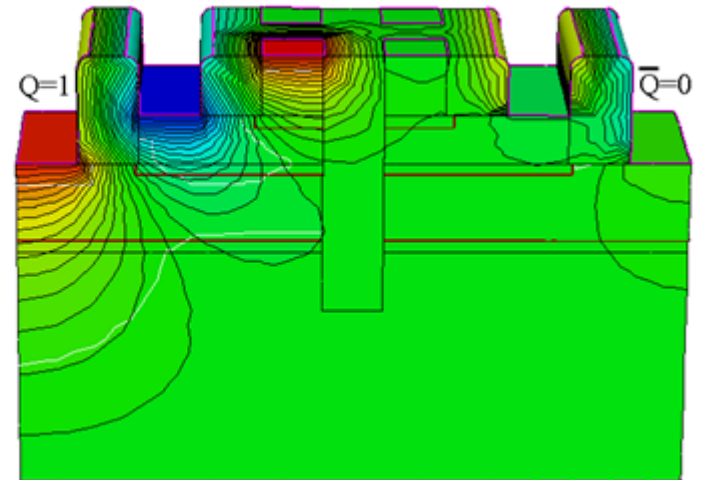
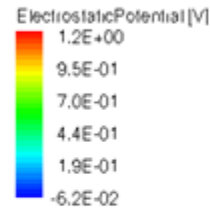
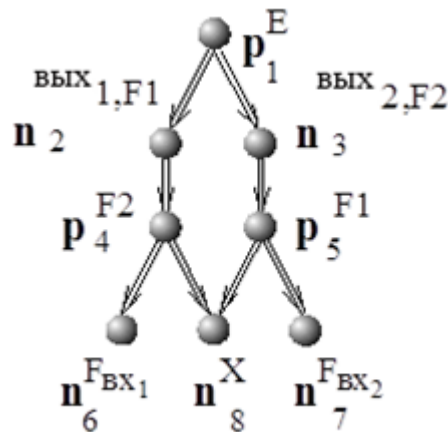
Регистр – многоразрядное устройство, состоящее из элементов памяти, способное выполняющее следующие функции:

- обнуление регистра,
- установка регистра в некоторый код (начальное условие),
- передача информации (например, из одного регистра в другой),
- хранение информации,
- прием информации,
- преобразование прямого кода в обратный код и наоборот,
- преобразование последовательного кода в параллельный код и наоборот,
- поразрядная дизъюнкция,
- поразрядная конъюнкция,
- поразрядное сложение по модулю 2.
- Регистр состоит из нескольких (m) триггеров, бистабильных ячеек или других элементов памяти.
- Рассмотрим классификацию регистров, основанную на типе кода и способе приема сигналов.

Биполярная БЯ_{ВХ} (второй и третий варианты)

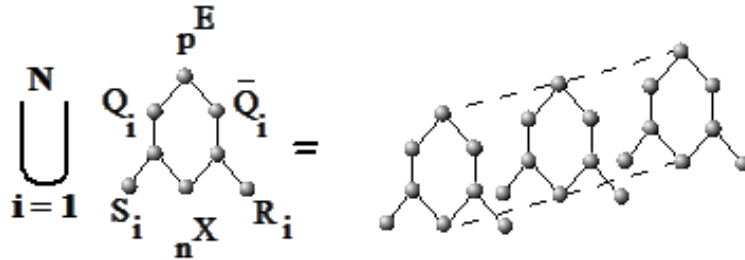


Биполярная БЯВх (четвертый вариант)



Пример проектирования схемы памяти в переходной схемотехнике

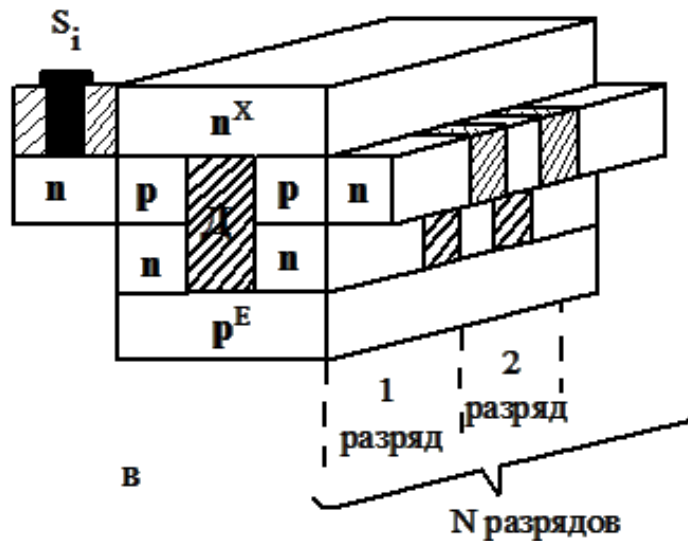
Регистр в переходной схемотехнике



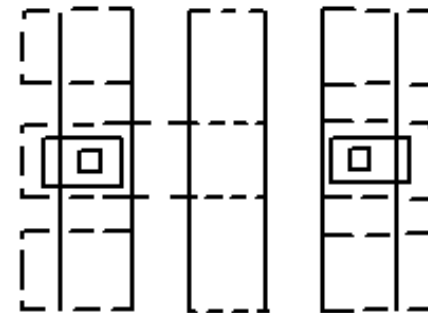
а



б



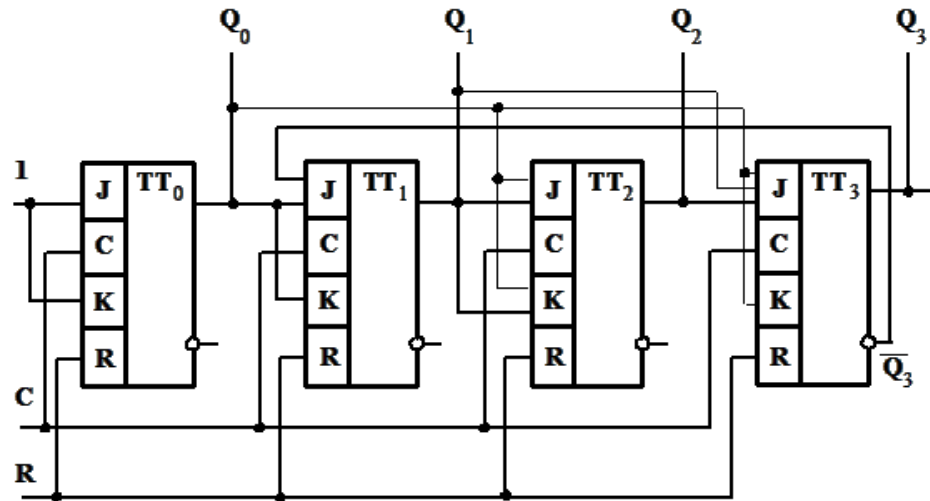
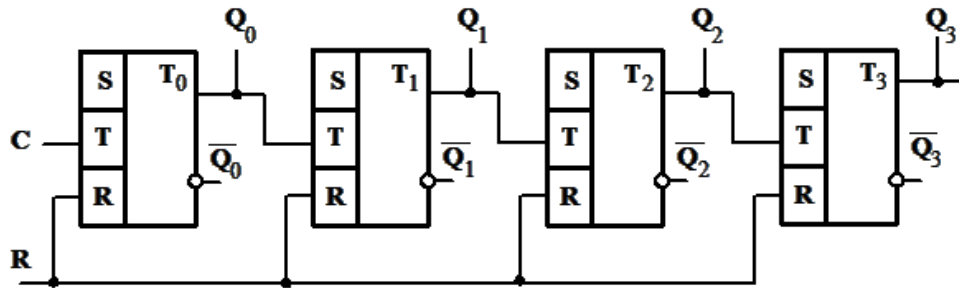
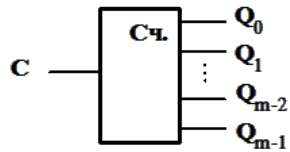
в



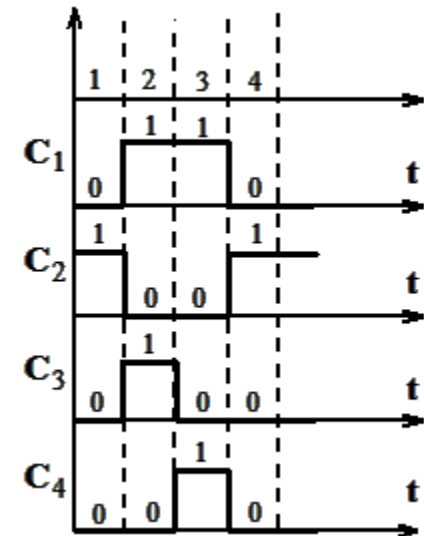
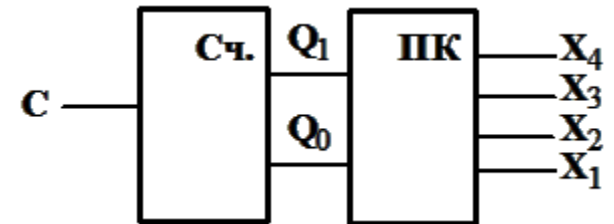
г

Счетчики и генераторы чисел

Счетчик – устройство, которое преобразует число-импульсный код в двоичный или двоично-десятичный.



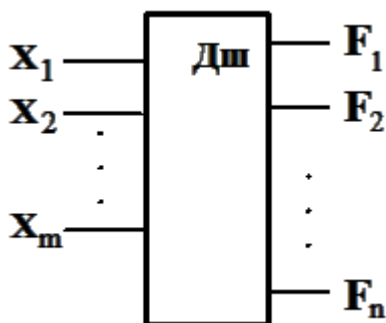
Генераторы чисел – устройства, вырабатывающие заданную последовательность чисел в двоичном коде.



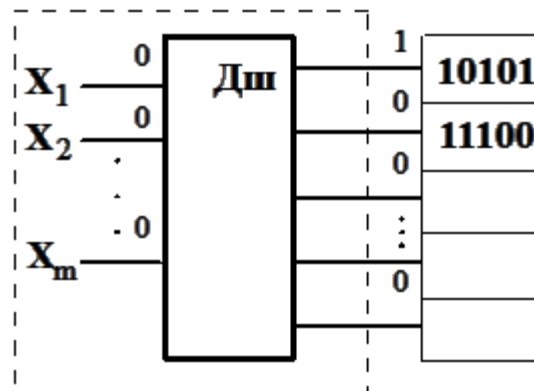
Комбинационные схемы

Комбинационные схемы – схемы, у которых выходные функции зависят только от входных аргументов

Дешифратор – комбинационная схема, ко-торая преобразует m -разрядный двоичный код на входе в произвольную комбинацию сигналов на выходе



- **Пример 1. Использование дешифратора в схемах памяти**



$$F_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3$$

$$F_1 = \bar{X}_1 \bar{X}_2 X_3$$

$$F_2 = \bar{X}_1 X_2 \bar{X}_3$$

$$F_3 = \bar{X}_1 X_2 X_3$$

$$F_4 = X_1 \bar{X}_2 \bar{X}_3$$

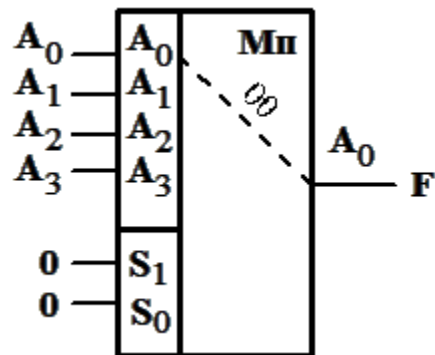
$$F_5 = X_1 \bar{X}_2 X_3$$

$$F_6 = X_1 X_2 \bar{X}_3$$

$$F_7 = X_1 X_2 X_3$$

Мультиплексоры

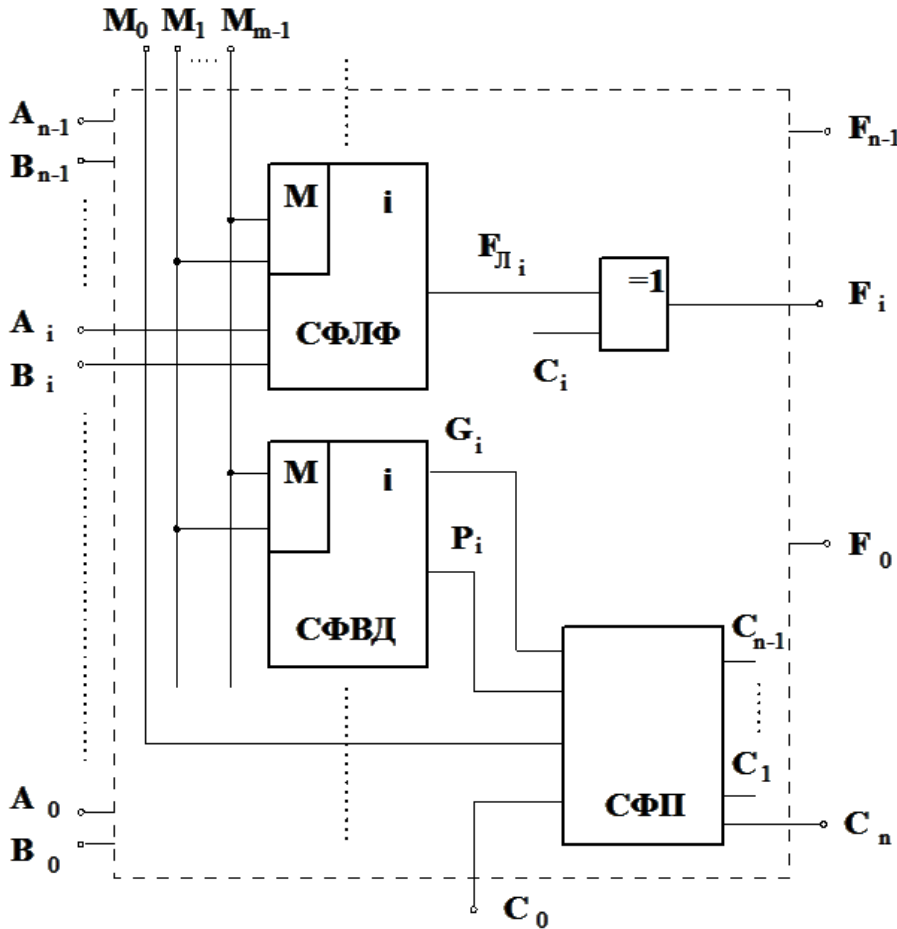
Мультиплексор (коммутатор данных) – комбинационная схема, которая в зависимости от адреса (S_0, \dots, S_{n-1}) коммутирует соответствующий вход на единственный выход



S_1	S_0	F
0	0	A_0
0	1	A_1
1	0	A_2
1	1	A_3

$$F = A_0 \bar{S}_1 \bar{S}_0 + A_1 \bar{S}_1 S_0 + A_2 S_1 \bar{S}_0 + A_3 S_1 S_0$$

АЛУ- Арифметико-логическими устройствами (АЛУ) называются функциональные блоки цифровых систем, выполняющие заданный набор арифметических и логических операций над двумя многоразрядными операндами



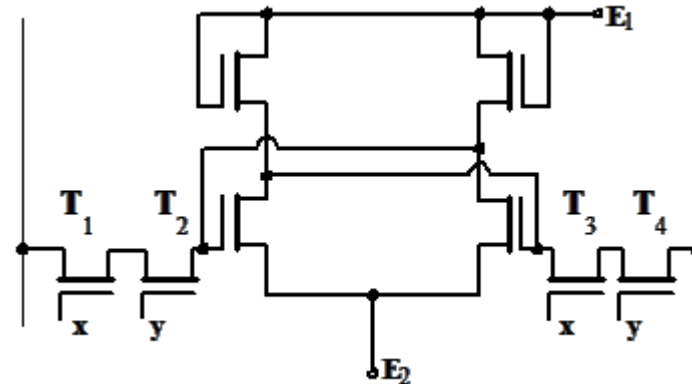
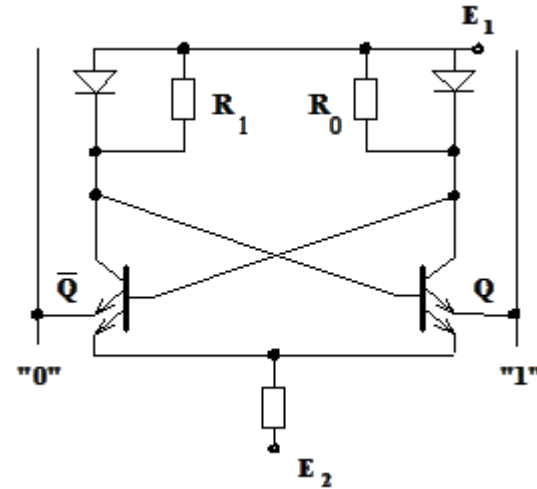
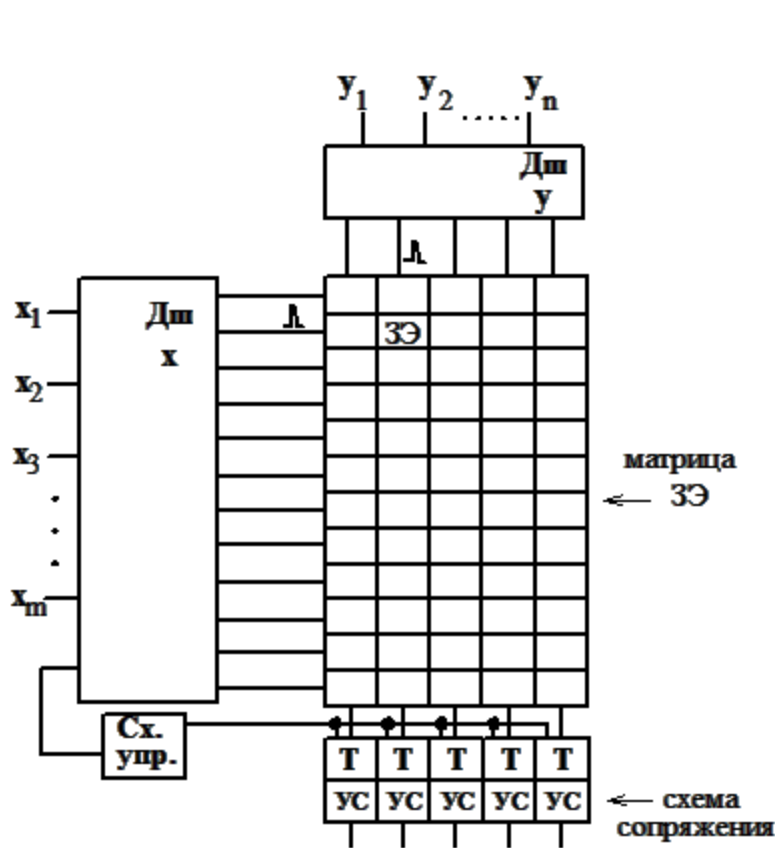
M_4	M_3	M_2	M_1	Логические операции $M_0=1$	Арифметические операции $M_0=0$	G_i	P_i
0	0	1	1	$F_n^0=0$	$F_A^0=(1)+C_0$	0	1
1	0	1	1	$F_n^1=AB$	$F_A^1=(AB)+1+C_0$	AB	1
0	1	1	1	$F_n^2=$	$FA2=()+1+C_0$		1
1	1	1	1	$F_n^3=A$	$FA3= +1+C_0$	A	1
0	0	1	0	$F_n^4=$	$FA4=()+AB+C_0$	AB	
1	0	1	0	$F_n^5=B$	$FA5=()+AB+C_0$	AB	
0	1	1	0	$F_n^6=$	$FA6= + C_0$		
1	1	1	0	$F_n^7=A+B$	$FA7=()+A+C_0$	A	
0	0	0	1	$F_n^8=$	$FA8=(A+B)+C_0$	0	A+B
1	0	0	1	$F_n^9=A B$	$FA9=(A+B)+C_0$	AB	A+B
0	1	0	1	$F_n^{10}=$	$FA10=(A+B)+ +C_0$		A+B
1	1	0	1	$F_n^{11}=$	$FA11=(A+B)+A+C_0$	A	A+B
0	0	0	0	$F_n^{12}=$	$FA12=A+C_0$	0	A
1	0	0	0	$F_n^{13}=$	$FA13=A+(AB)+C_0$	AB	A
0	1	0	0	$F_n^{14}=$	$FA14=A+()+C_0$		A
1	1	0	0	$F_n^{15}=1$	$FA15= A+A+C_0$	A	A

СХЕМОТЕХНИКА МАТРИЦ. МАТРИЧНОЕ ПРОЕКТИРОВАНИЕ

- Существует несколько типов матриц.
 - *Базовые кристаллы (БК)*. Базовый кристалл – обычная кремневая пластина, где в первом слое размещены вентили. Для создания конкретного устройства – создается второй слой (слой металлизации). Базовый кристалл – это что-то вроде конструктора, на котором можно спроектировать большое количество устройств.
 - *Программируемые логические матрицы (ПЛМ)*.
 - *Постоянные запоминающие устройства (ПЗУ)*. ПЗУ – это матрица, в которой «записаны» логические таблицы устройств или константы. Длина столбца зависит от количества аргументов функции.
 - *Запоминающие устройства (ЗУ)*.
 - Отличие от ПЗУ в том, что информацию в ЗУ можно изменять постоянно

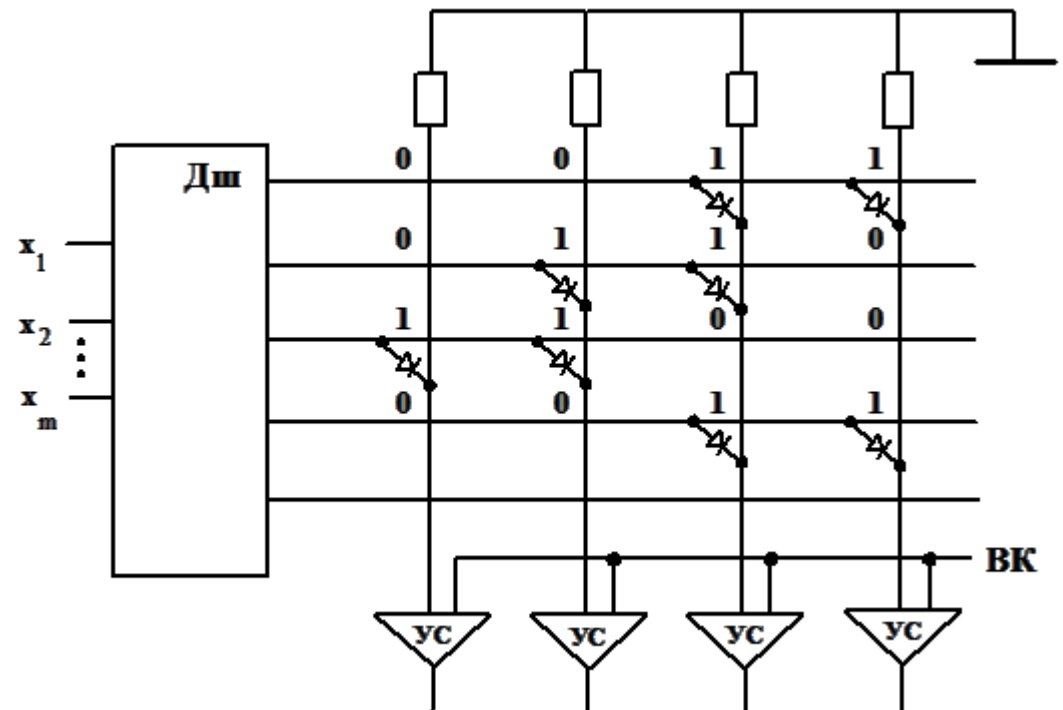
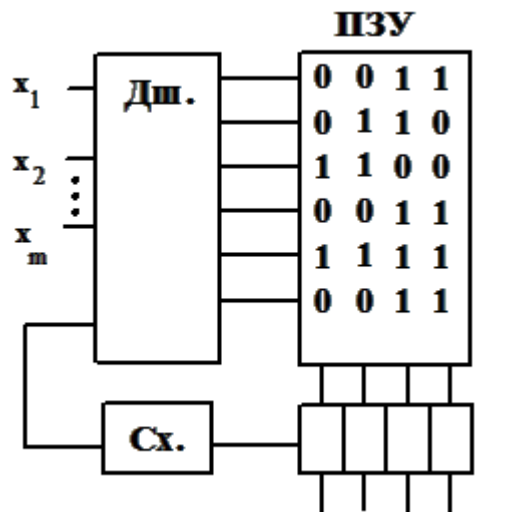
ЗУПВ

Запоминающее устройство с произвольной выборкой (ЗУПВ) состоит из запоминающих элементов (ЗЭ), дешифратора адреса, регистра памяти и схемы управления записью-считыванием

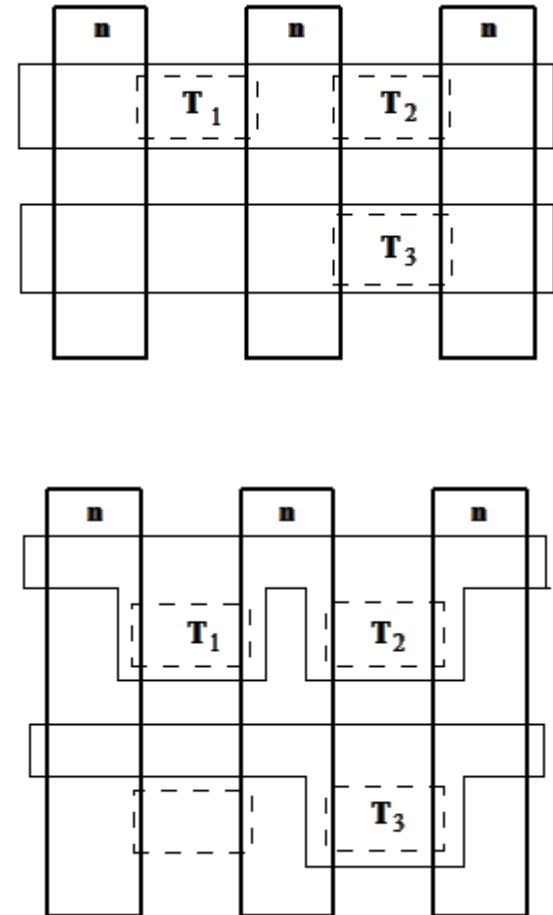
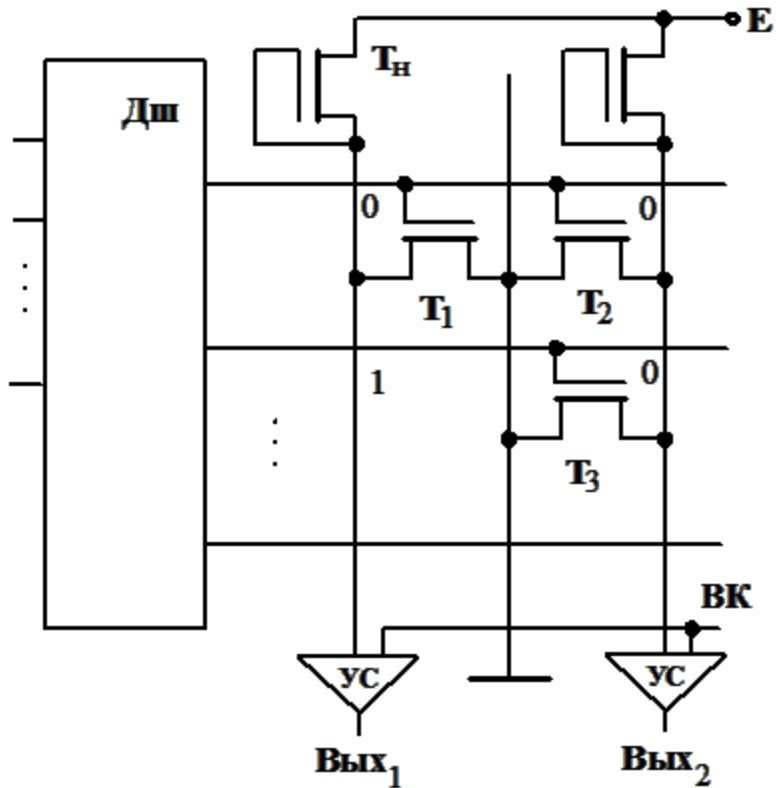


Строковое ПЗУ

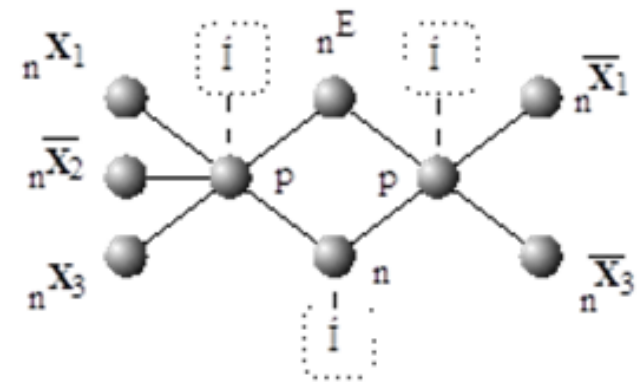
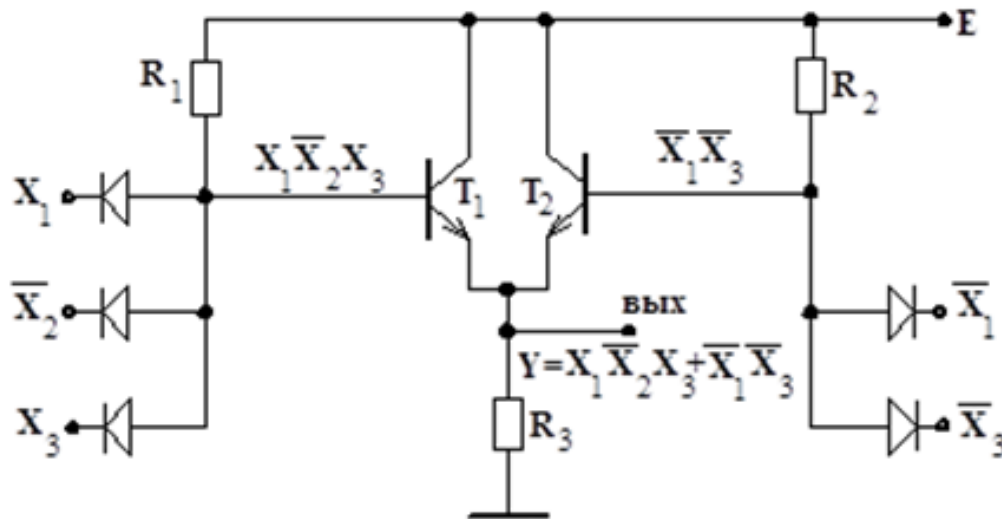
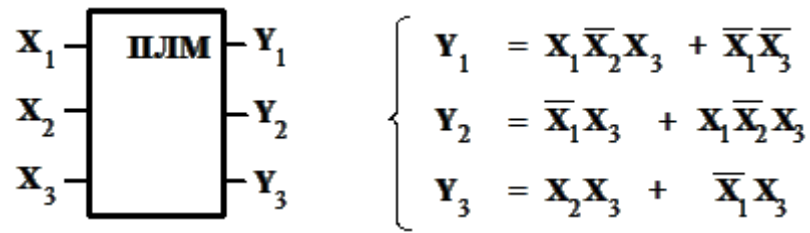
ПЗУ соответствует полной матрице системы логических функций



Масочно-программируемые ПЗУ

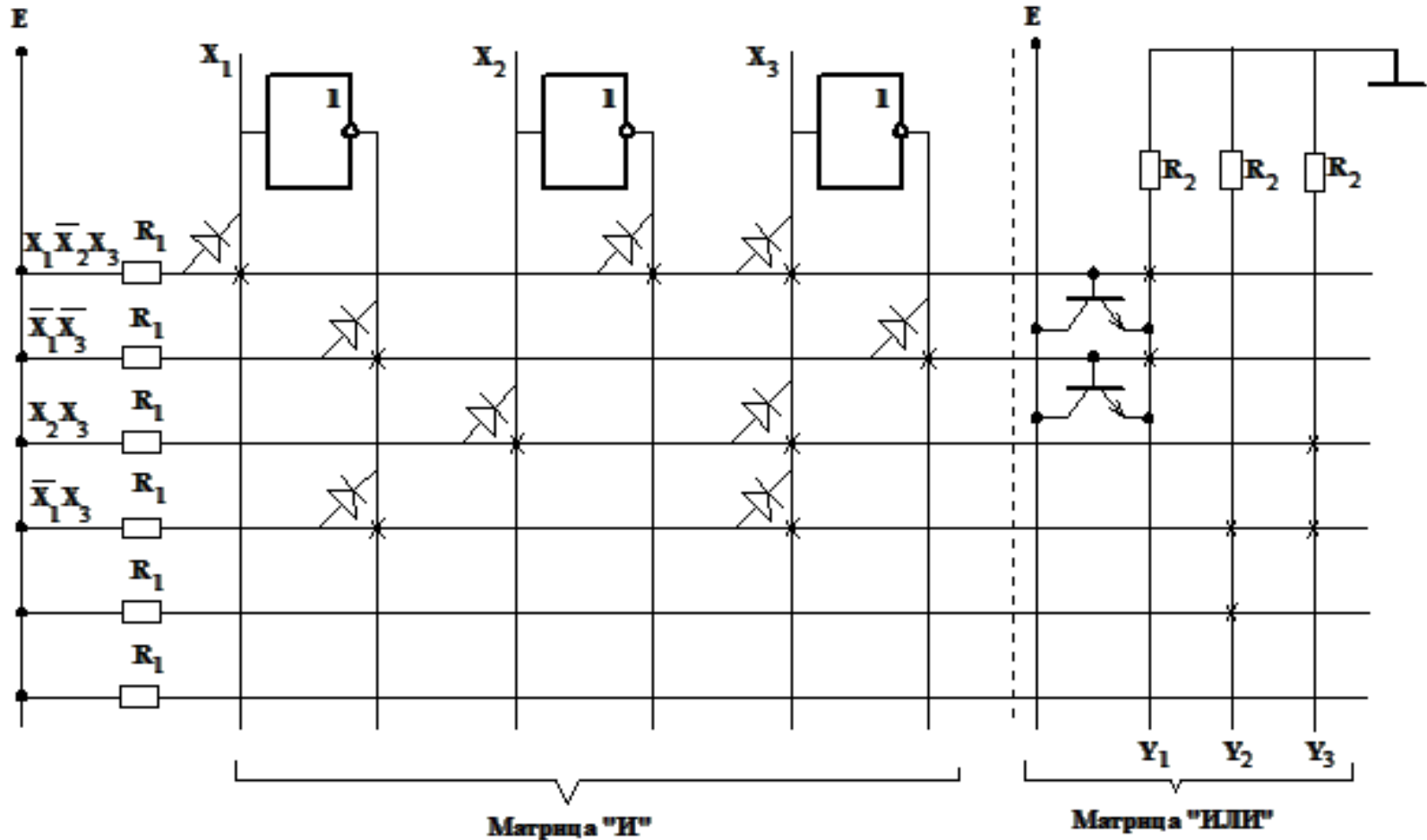


Программируемые логические матрицы (ПЛМ). Основной вентиль биполярной ПЛМ

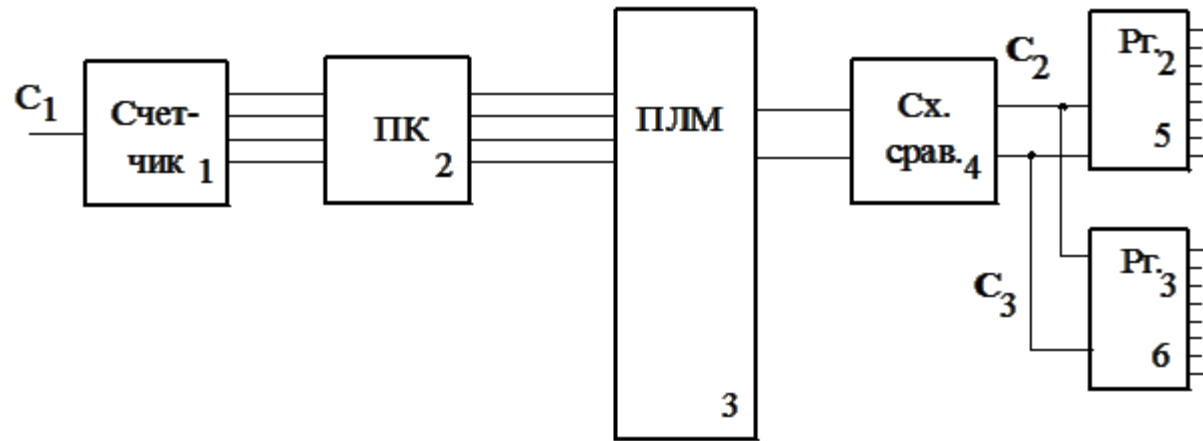


Построение ПЛМ

$$\begin{cases} Y_1 = X_1 \bar{X}_2 X_3 + \bar{X}_1 \bar{X}_3 \\ Y_2 = \bar{X}_1 X_3 + X_1 \bar{X}_2 X_3 \\ Y_3 = X_2 X_3 + \bar{X}_1 X_3 \end{cases}$$



Пример.



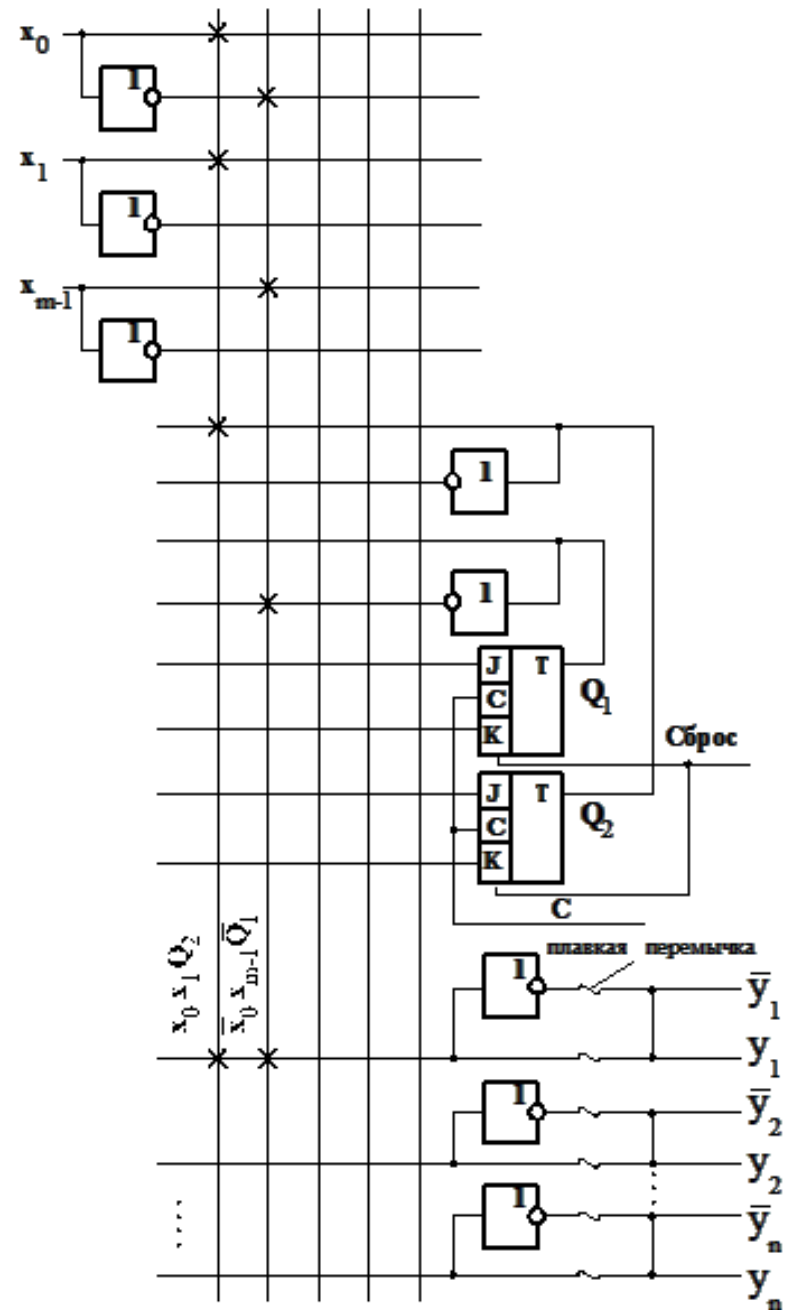
Реализация
на одной
ПЛМ
нескольких
устройств



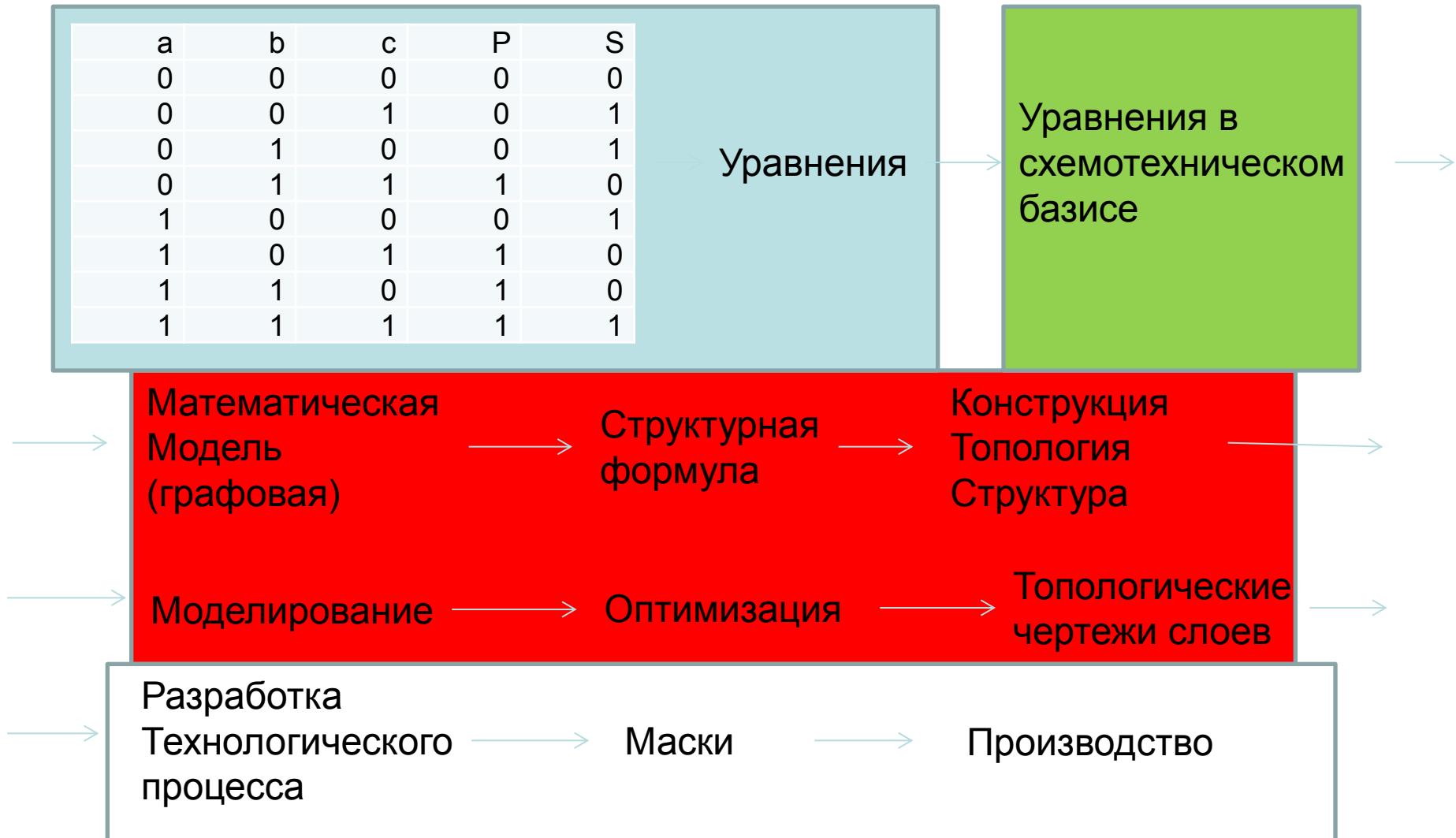
ПЛМ с триггерами

$$\begin{cases} y_1 = f_1(x_0, x_1, \dots, x_{m-1}, Q_1, \dots, Q_k) \\ \dots \\ y_n = f_n(x_0, x_1, \dots, x_{m-1}, Q_1, \dots, Q_k) \end{cases}$$

$$\begin{cases} y_1 = x_0 x_1 Q_2 + x_0 x_{m-1} Q_1 \\ \bar{y}_1 = \overline{x_0 x_1 Q_2 + x_0 x_{m-1} Q_1} \end{cases}$$



Этапы проектирования цифровых устройств компьютера



После схемотехнической
разработки ВС следует
конструкторская
(разработка топологии
кристалла ВС)