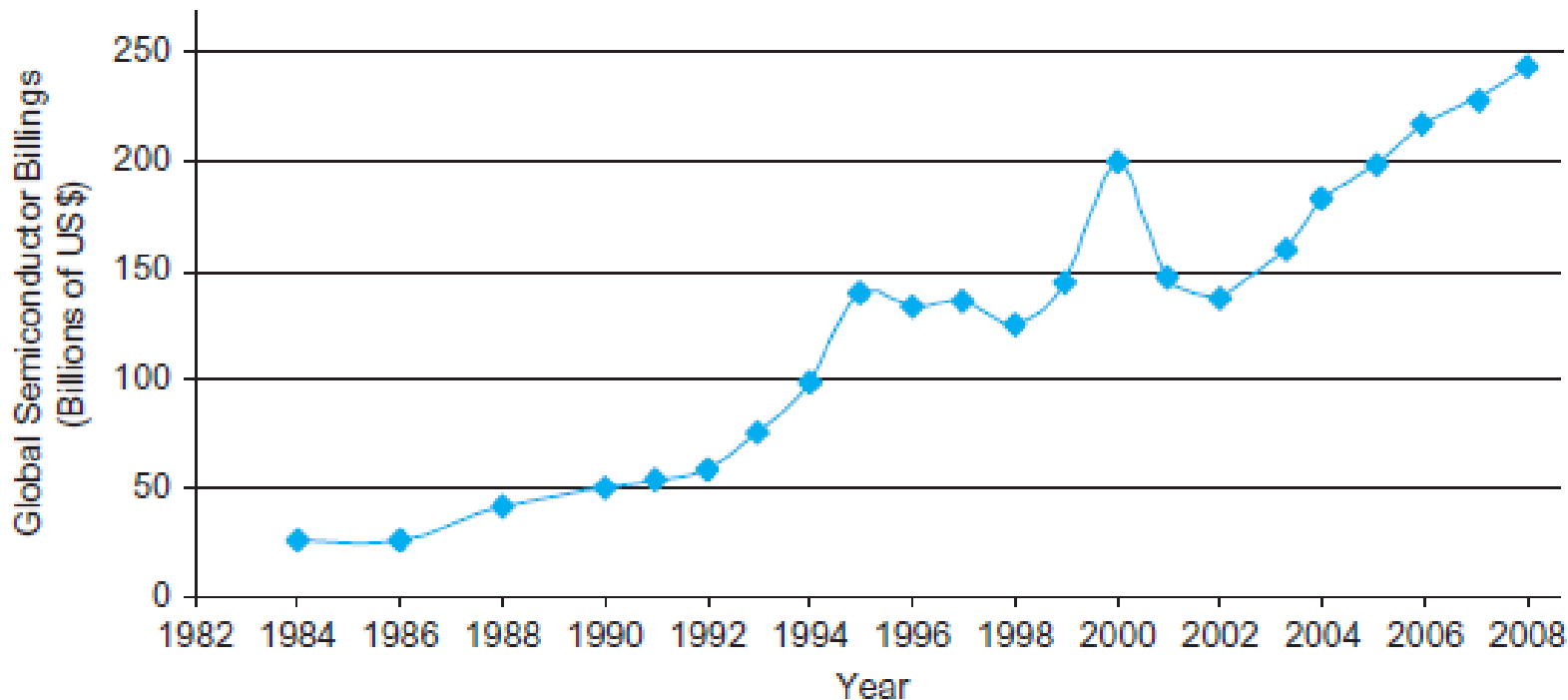


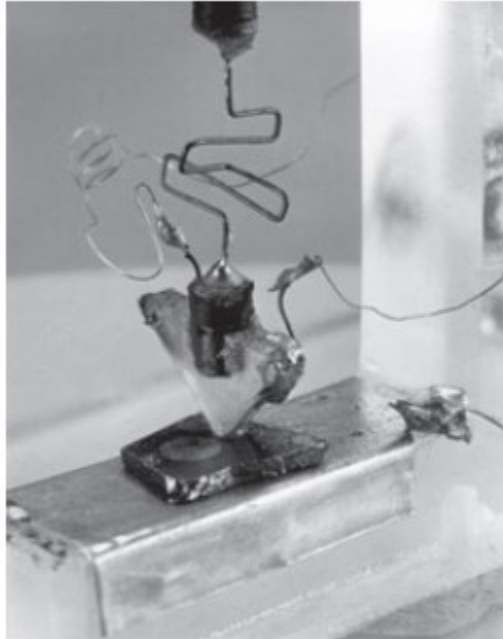
РВС  
Лекция 4-2

ТНК  
2019

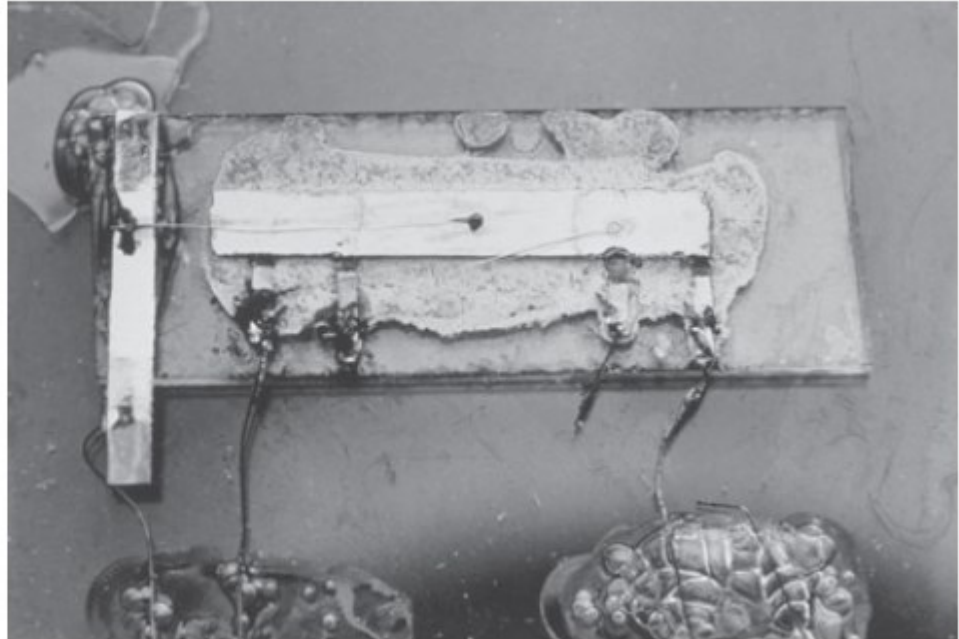
# Размер мирового рынка полупроводников (Предоставлено Ассоциацией производителей полупроводников.)



- (a) Первый транзистор (Собственность AT & T Archives. Перепечатано с разрешения AT & T.) и  
(b) первая интегральная схема (предоставлено Texas Instruments.)

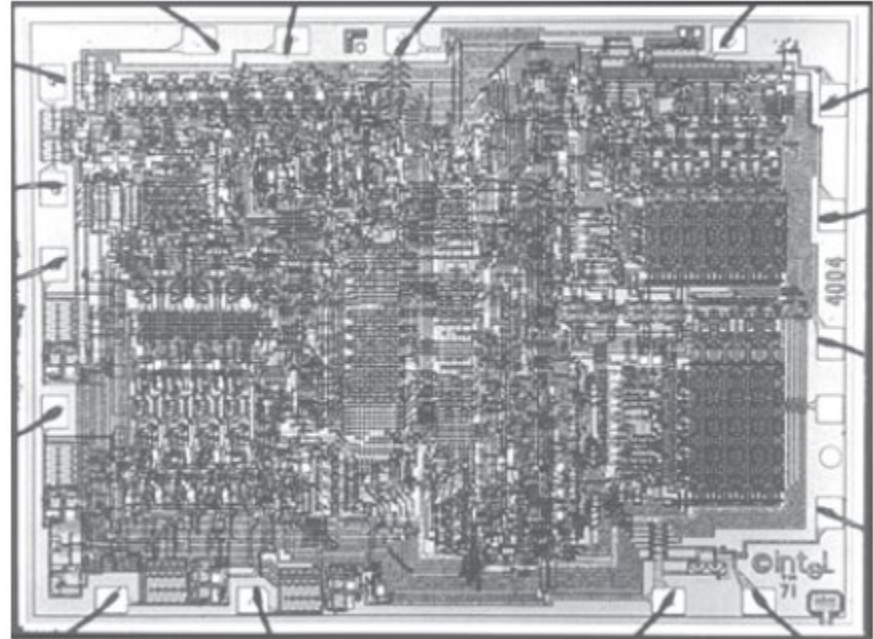
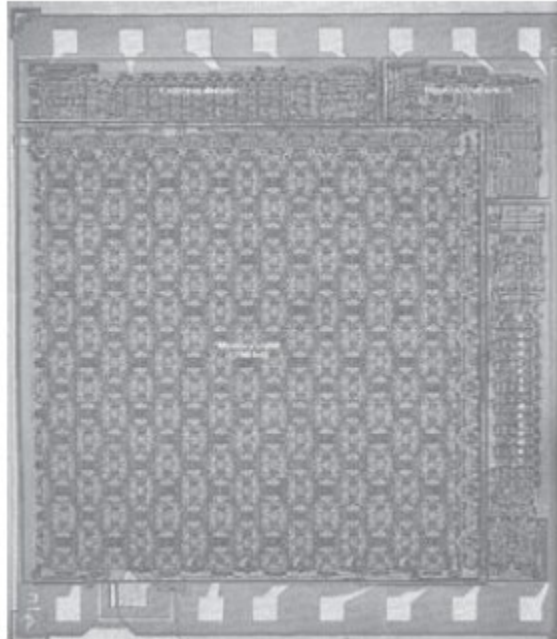


(a)

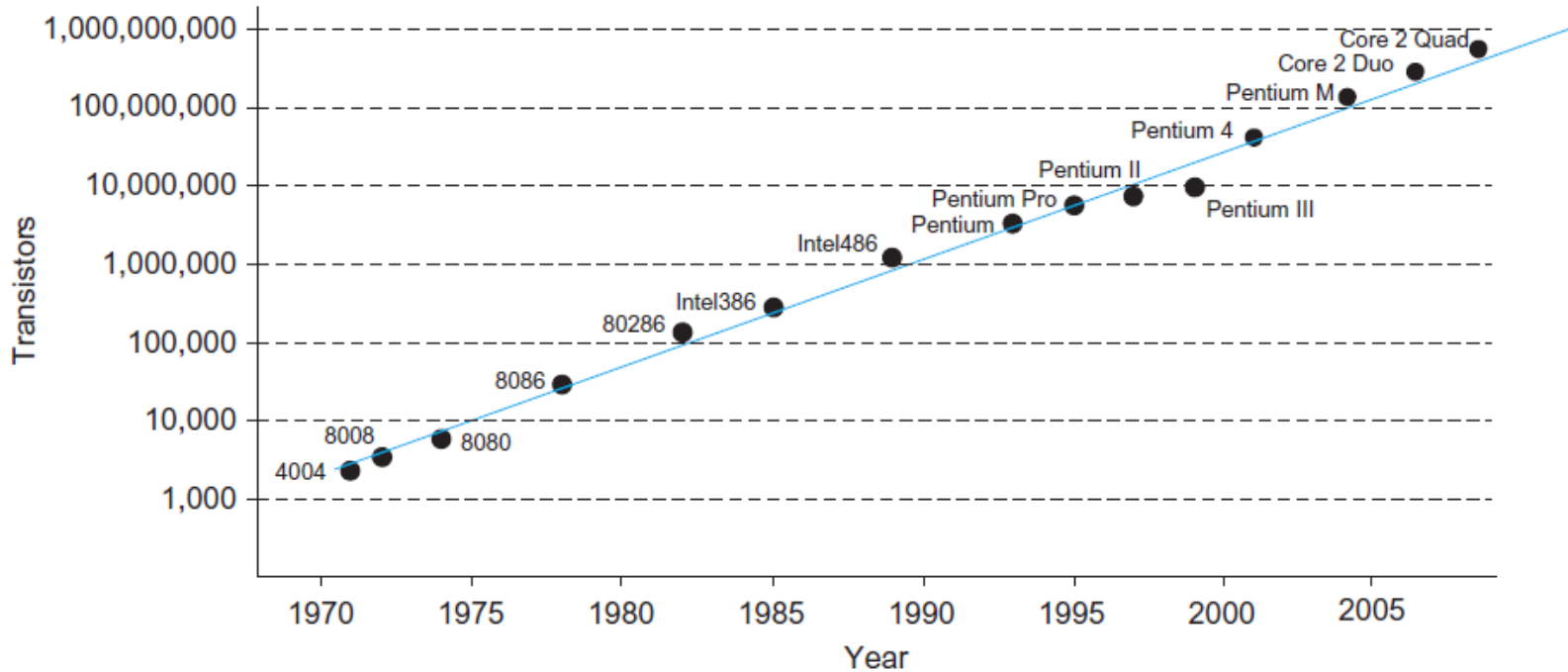


(b)

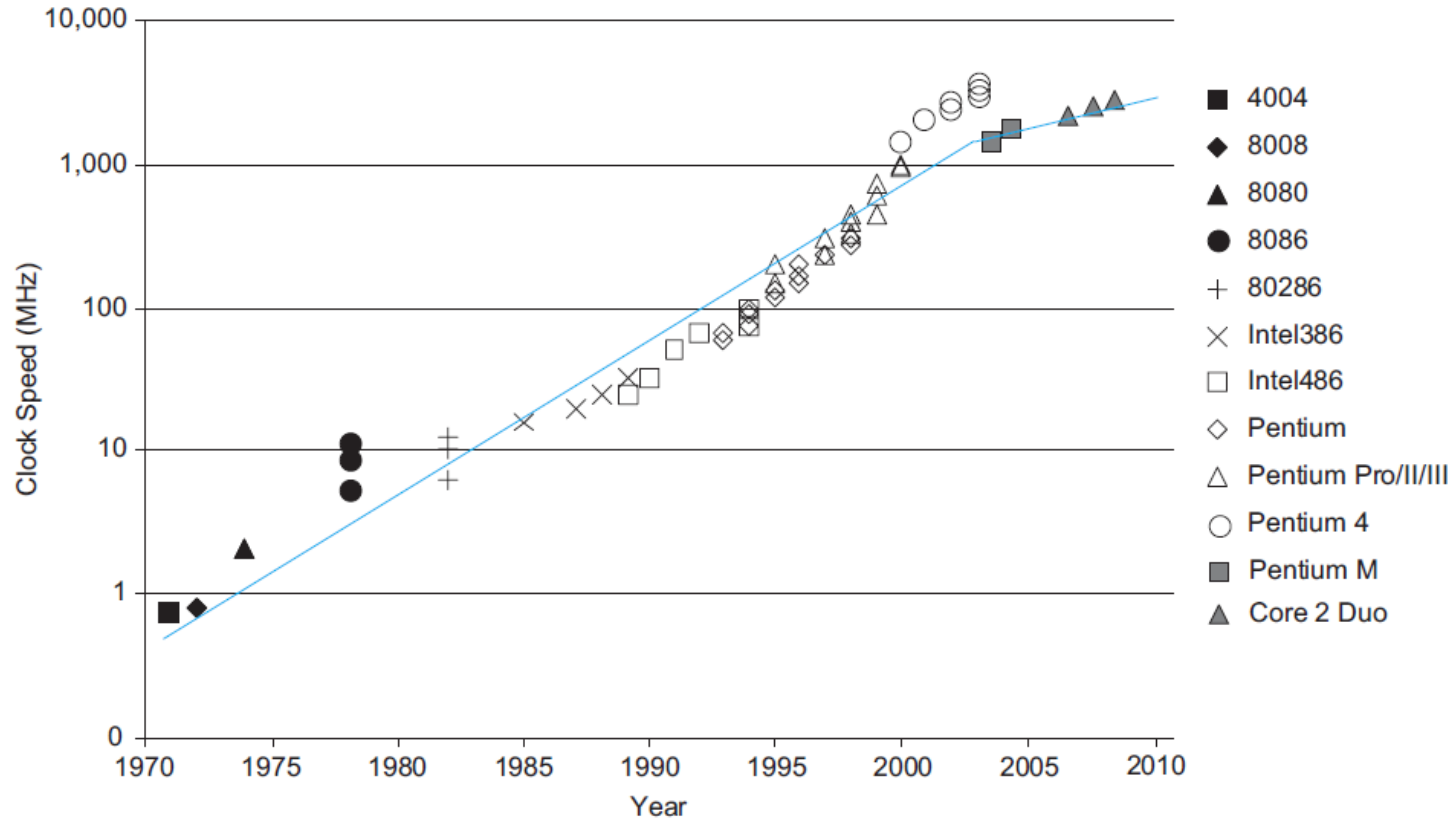
(a) Intel 1101 SRAM (© IEEE 1969 [Vadasz69]) и  
(б) 4004 микропроцессор (перепечатано с  
разрешение корпорации Intel.)



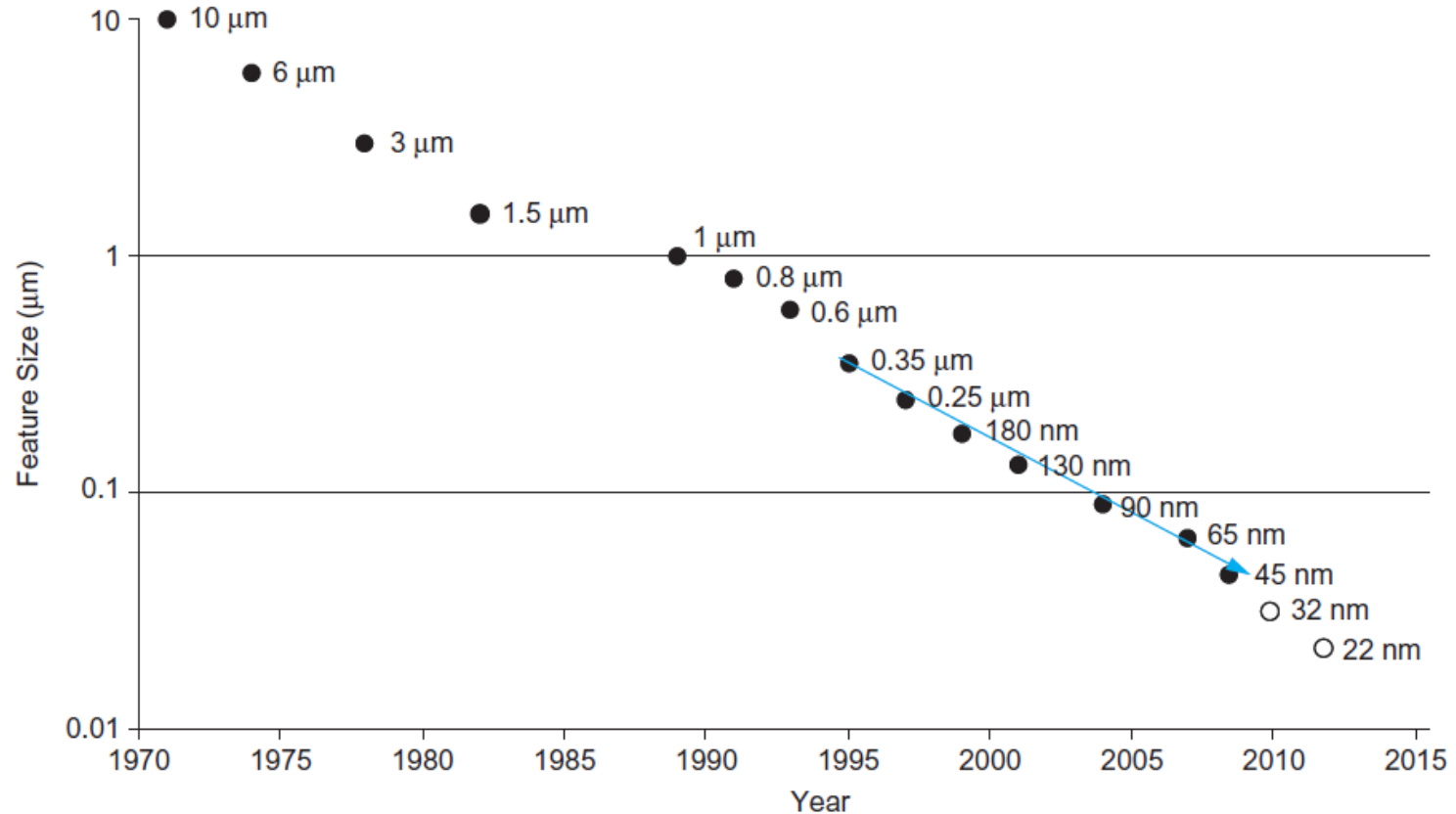
# Транзисторы в микропроцессорах Intel [Intel10]



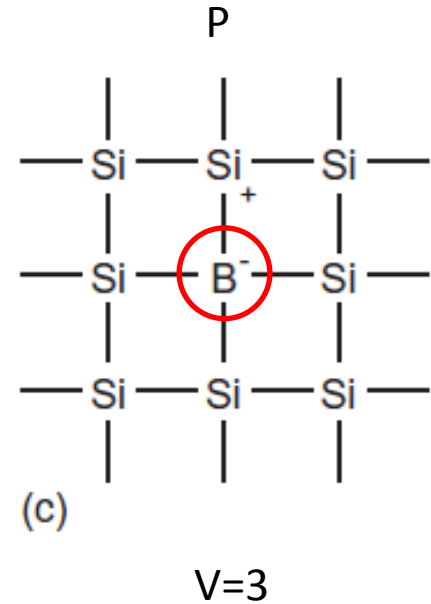
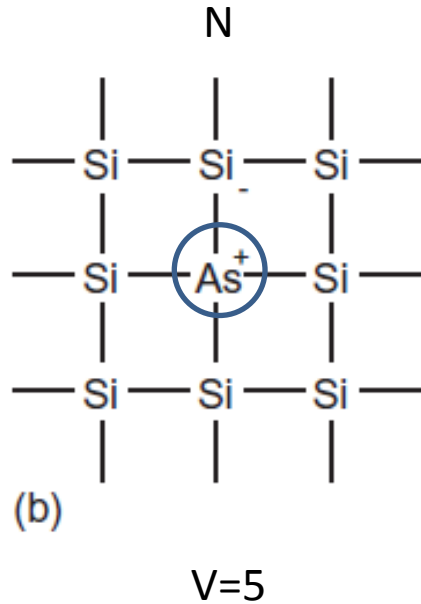
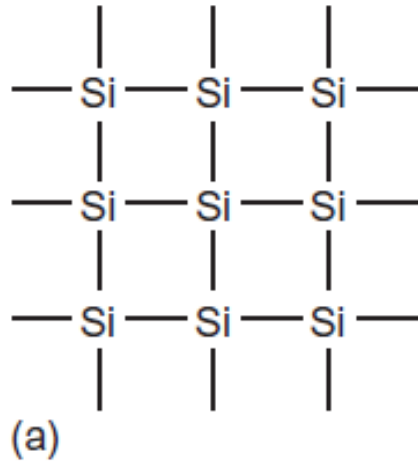
# Тактовые частоты микропроцессоров Intel



# Процесс поколений. Будущие прогнозы из [SIA2007]

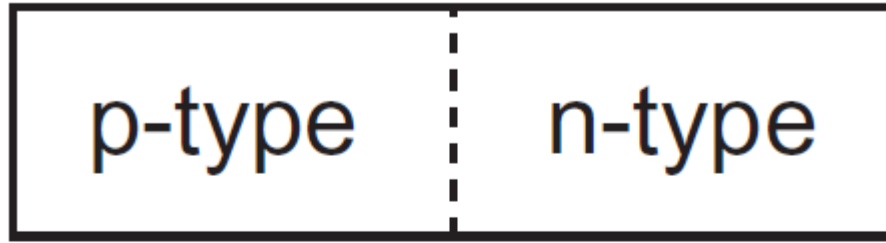


# Кремниевая решетка и легирующие атомы





# Структура и символ диодного p-n перехода

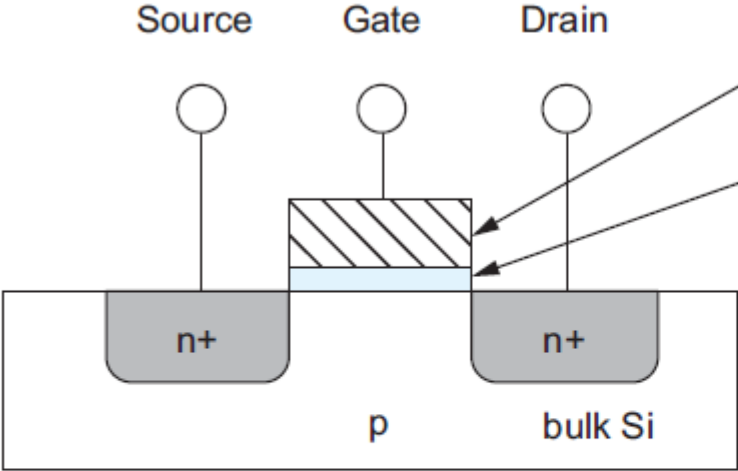


Anode

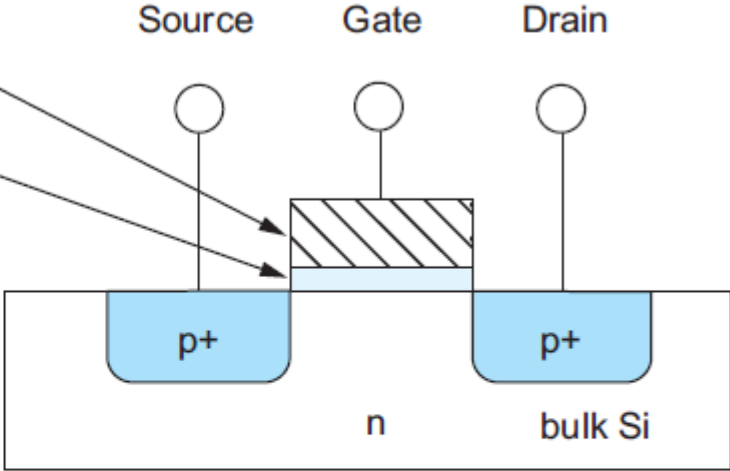
Cathode



# Транзистор nMOS (a) и транзистор pMOS (b)

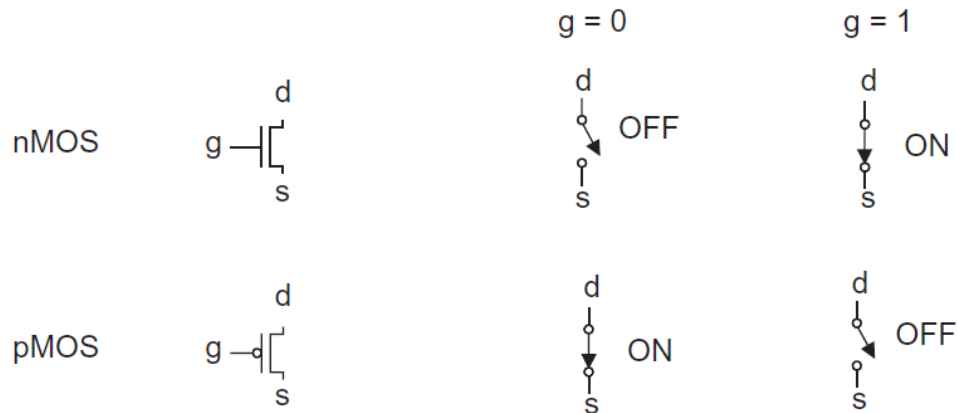


(a)



(b)

# Транзисторные символы и модели переключения



Затвор (g) МОП-транзистора контролирует поток тока между истоком (s) и стоком (d).

Это упрощение позволяет рассматривать МОП-транзисторы как простые переключатели ВКЛ / ВЫКЛ.

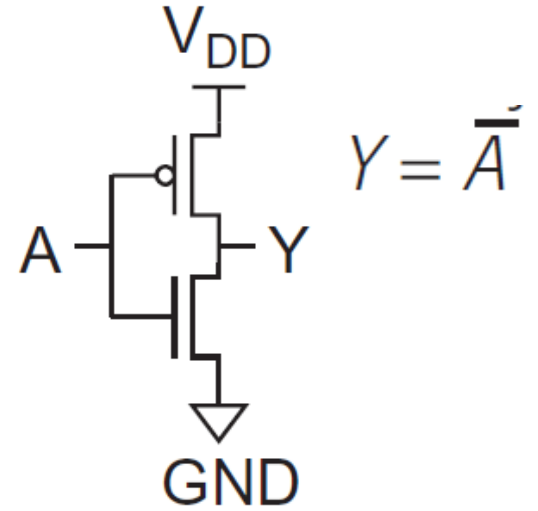
Когда затвор nMOS транзистора высокий (равен 1), транзистор включен и есть проводящий путь от истока к стоку.

Когда затвор низкий (равен 0), nMOS транзистор выключен и от истока к стоку течет почти нулевой ток.

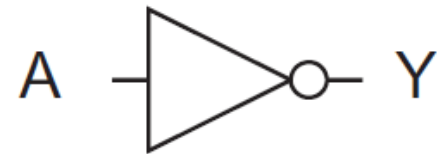
pMOS транзистор как раз наоборот, будет включен, когда затвор «низкий» и выключен, когда затвор «высокий».

# CMOS (КМОП) логика. Инвертор

A	Y
0	1
1	0



(a)

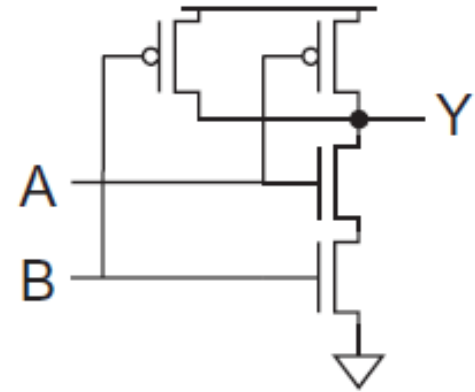


(b)

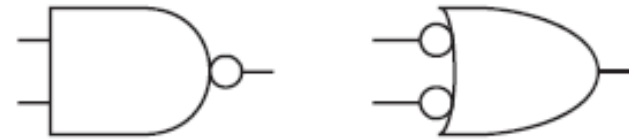
# CMOS (КМОП) NAND (И-НЕ)

A	B	Pull-Down Network	Pull-Up Network	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

$$Y = \overline{A \cdot B}$$



(a)



(b)

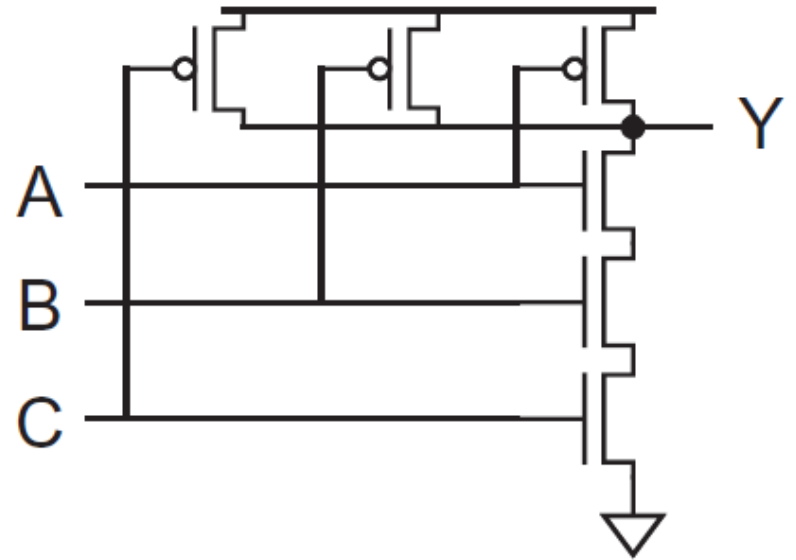
# K-входные вентили NAND (И-НЕ)

K-входные вентили NAND (И-НЕ) построены с использованием последовательно включенных k n-МОП-транзисторов и параллельно включенных k pMOS транзисторов.

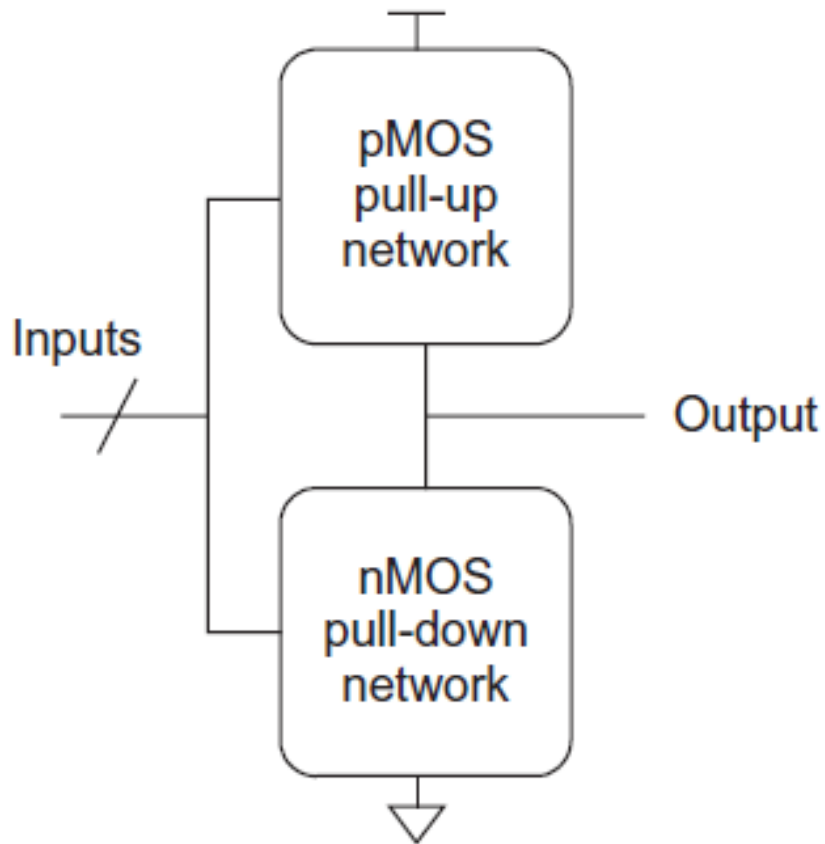
Например, для 3-входового вентиля NAND (И-НЕ),

- когда любой из входов равен 0, выход выводится на высокий уровень через параллельные транзисторы pMOS,
- когда все входы равны 1, на выход подается низкий уровень через транзисторы nMOS серии.

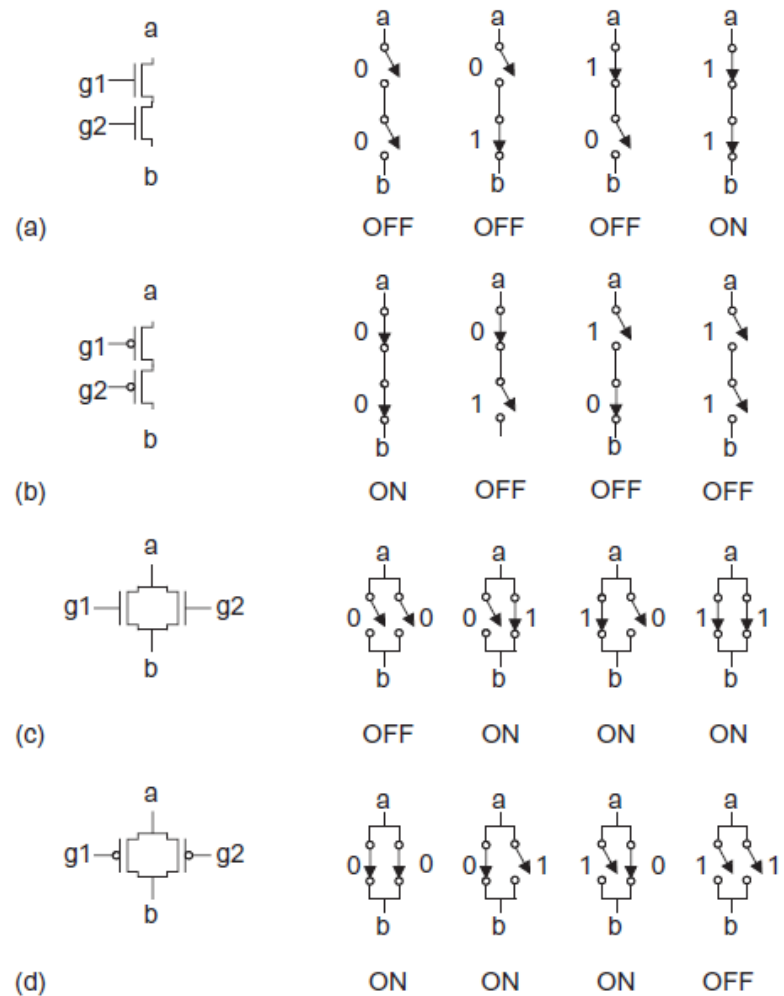
$$Y = \overline{A \cdot B \cdot C}$$



# Общая модель КМОП логического элемента



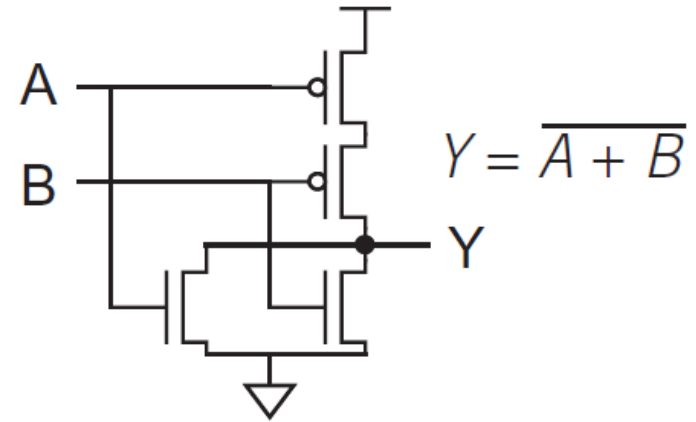
# Подключение и поведение последовательных и параллельных транзисторов



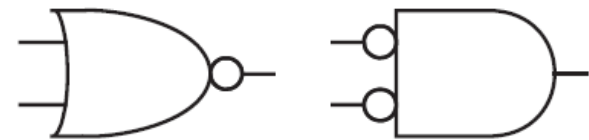


# CMOS (КМОП) NOR (ИЛИ-НЕ)

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	0

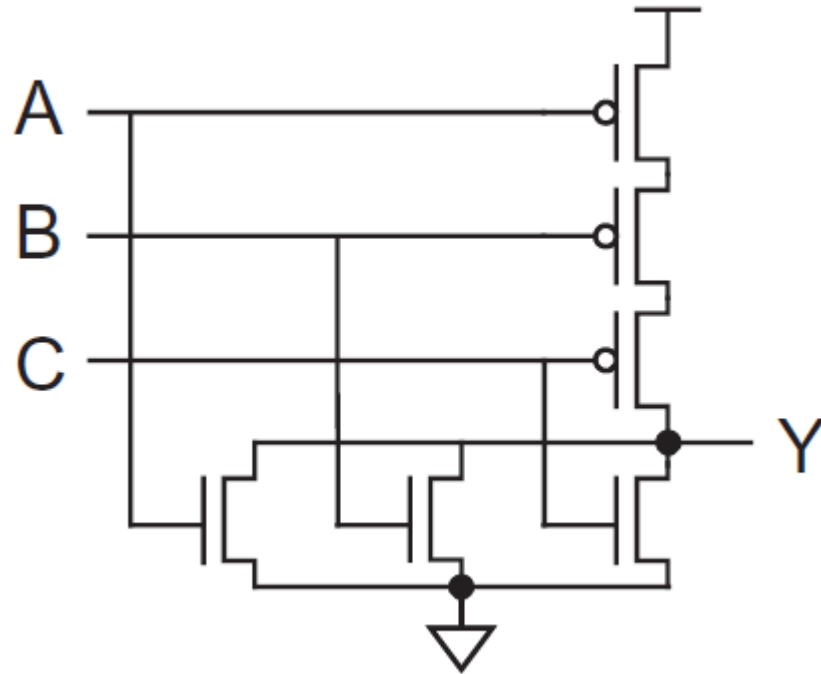


(a)



(b)

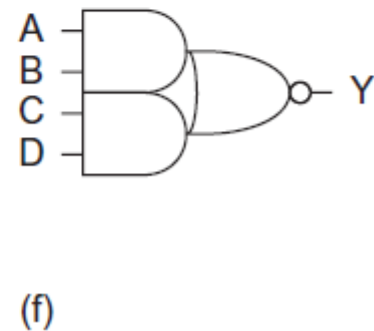
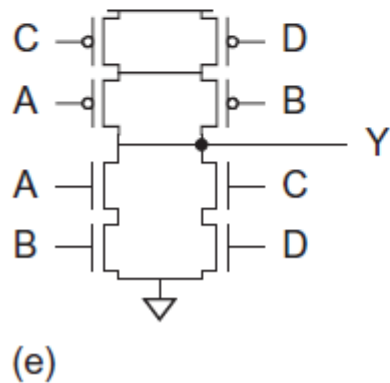
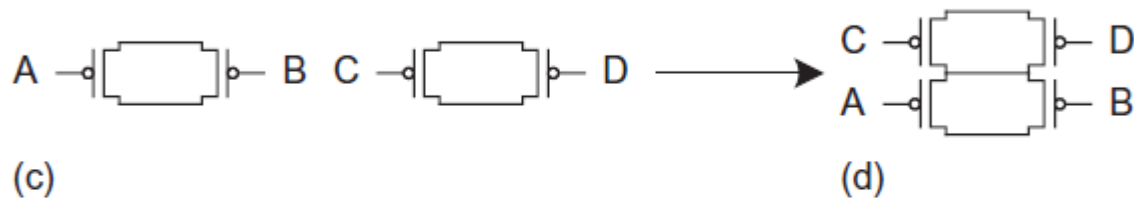
# K-входные вентили NOR (ИЛИ-НЕ)



# Построение логических функций

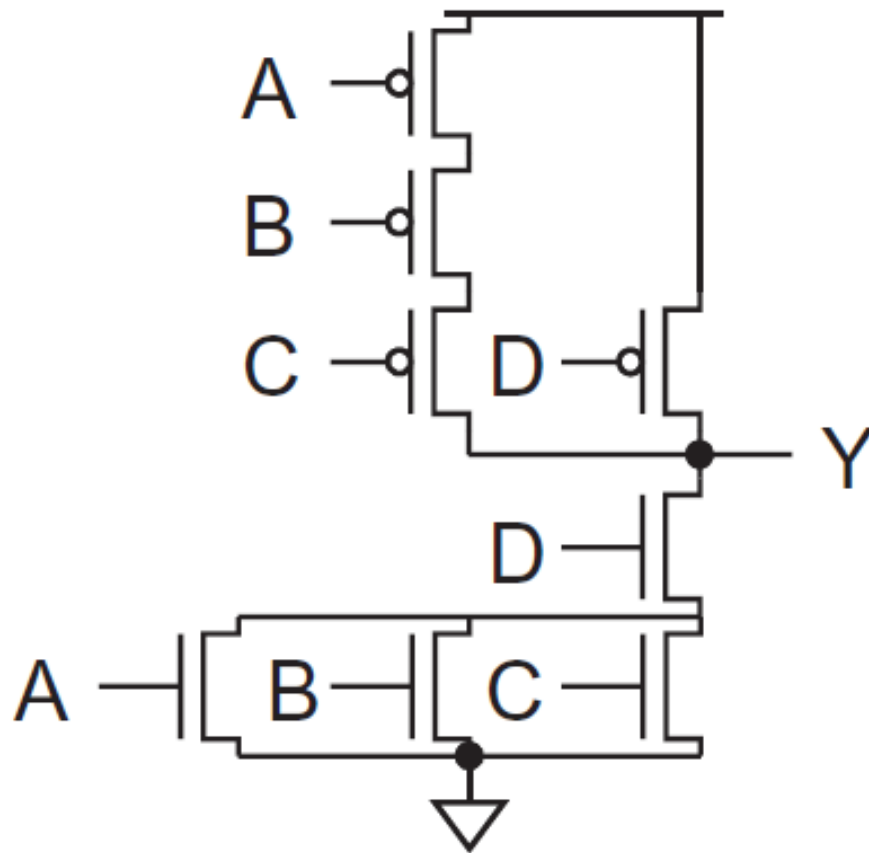
Например,

$$Y = \overline{(A \cdot B) + (C \cdot D)}$$

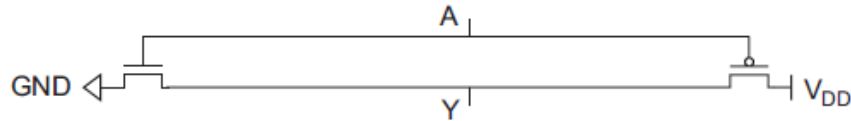
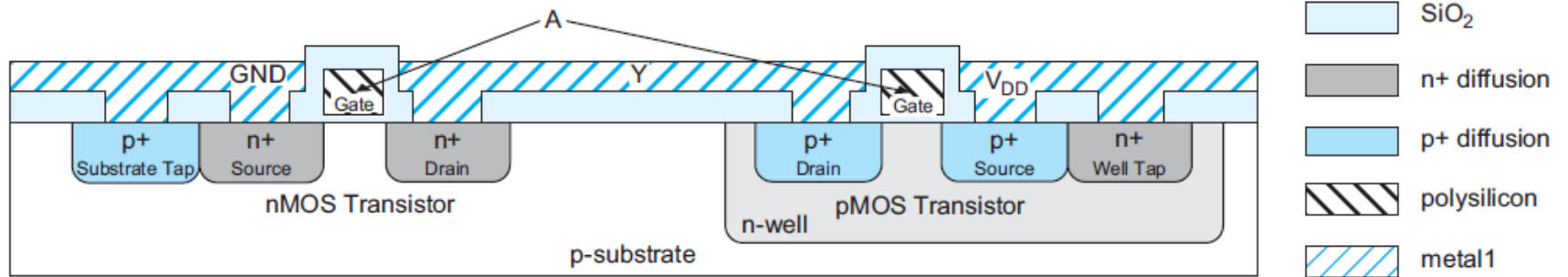


# Построение логических функций

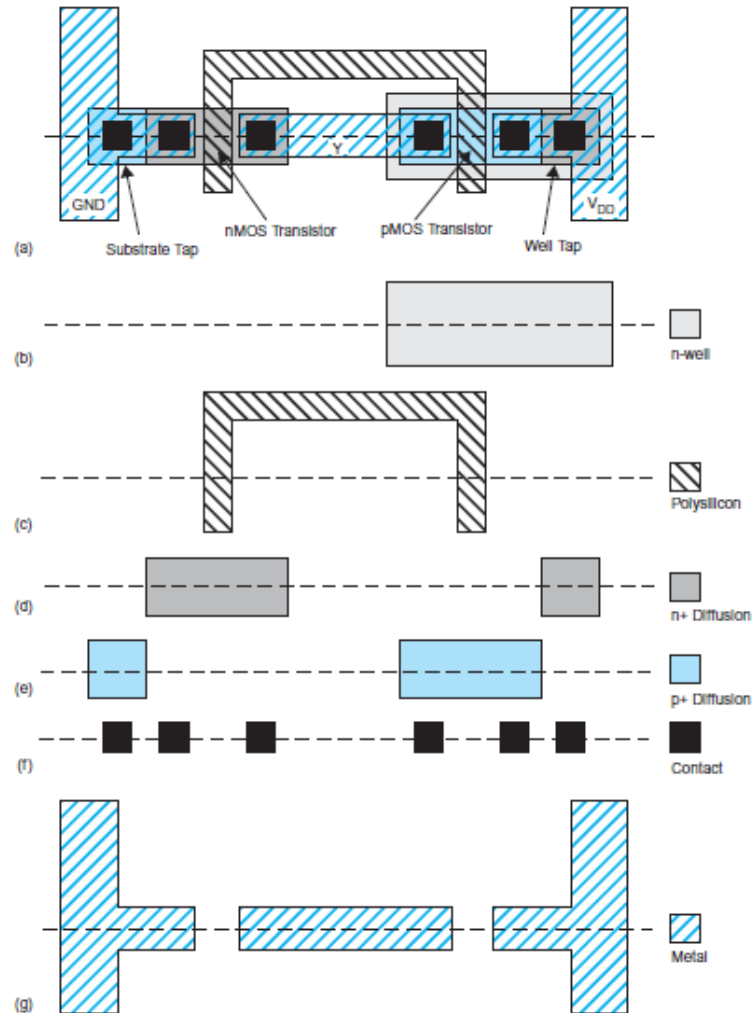
$$Y = \overline{(A + B + C)} \cdot D$$



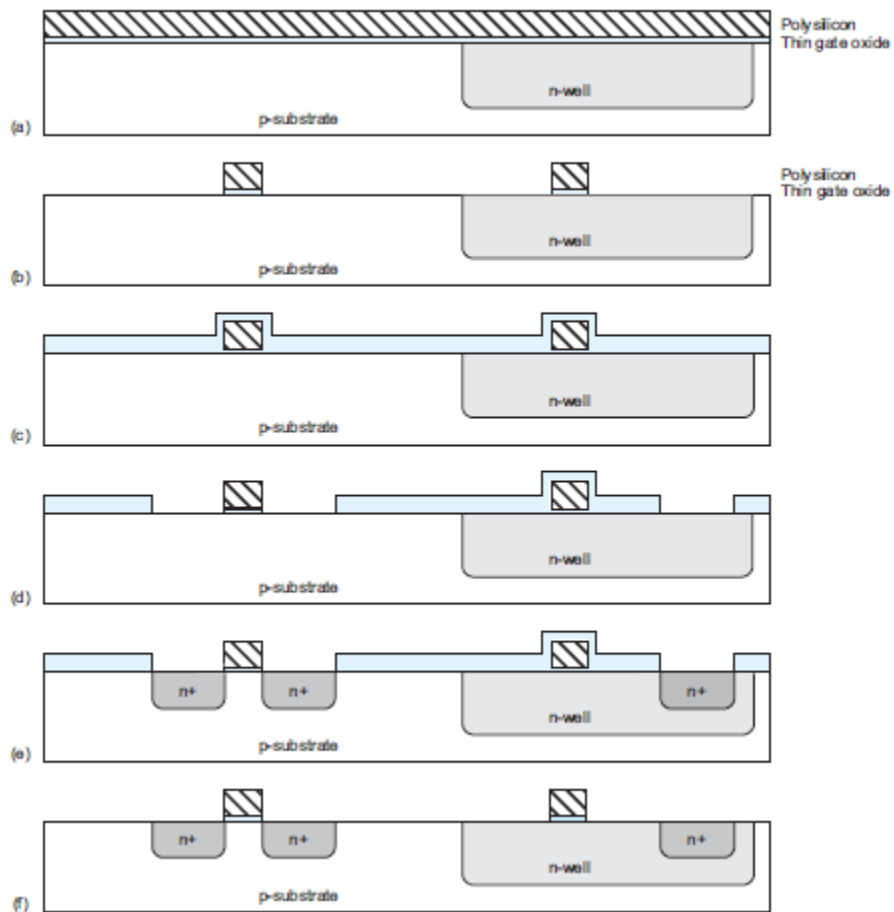
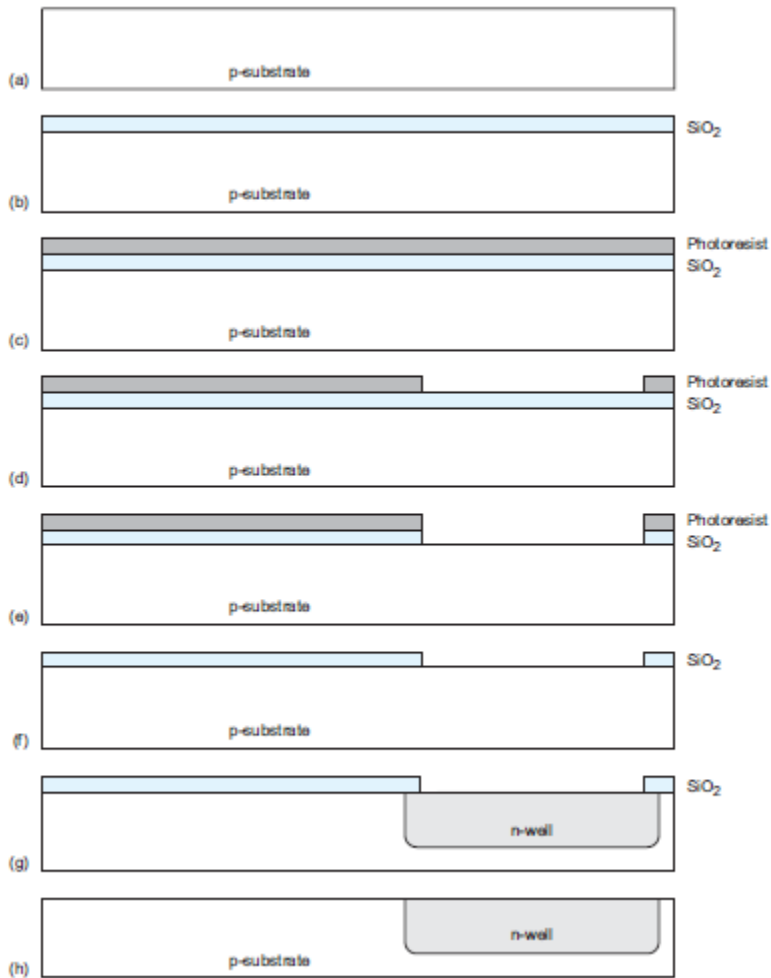
# Сечение инвертора с контактами и подложкой



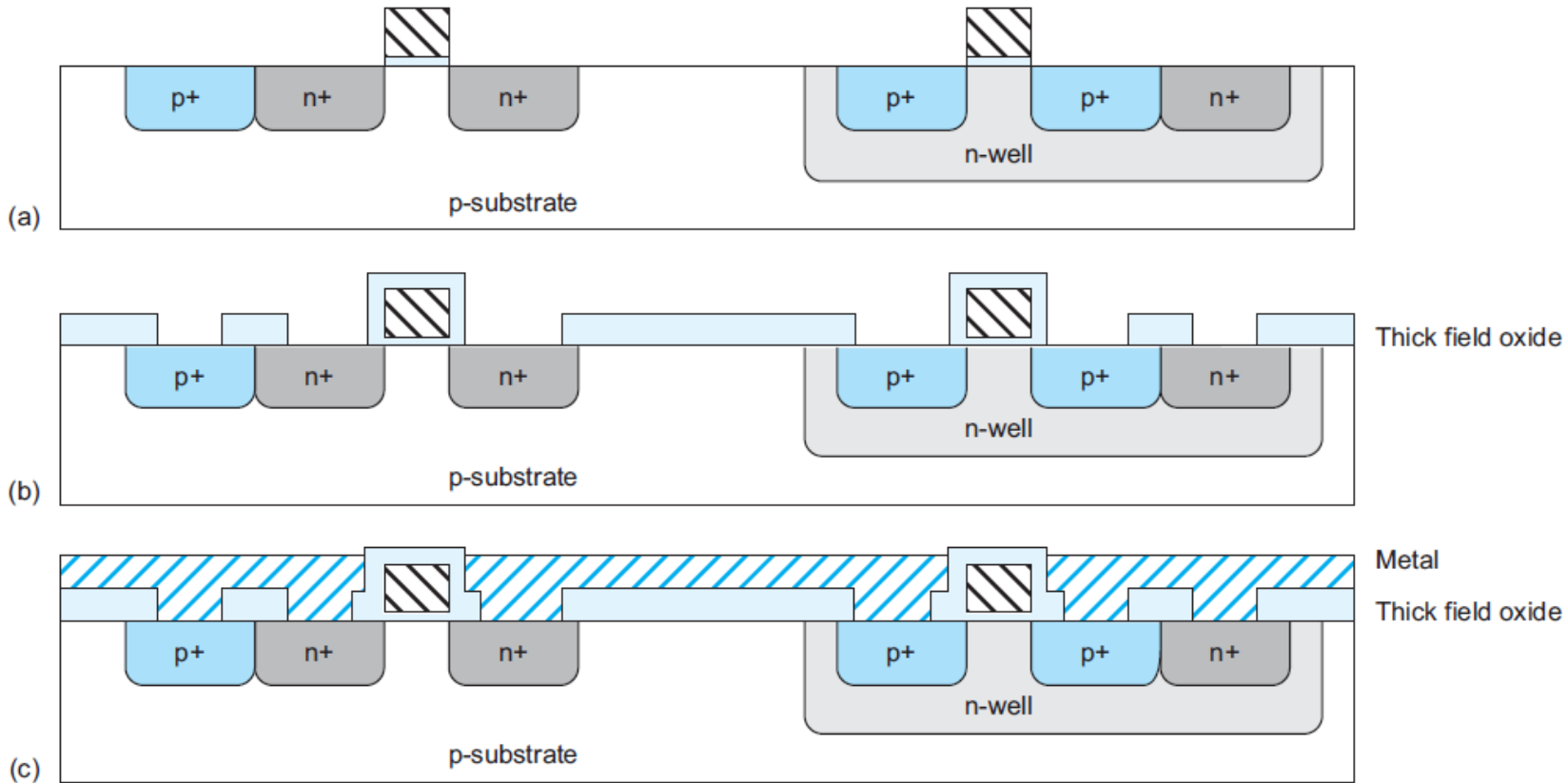
# Топология и маски для техпроцесса



# CMOS (КМОП) технология

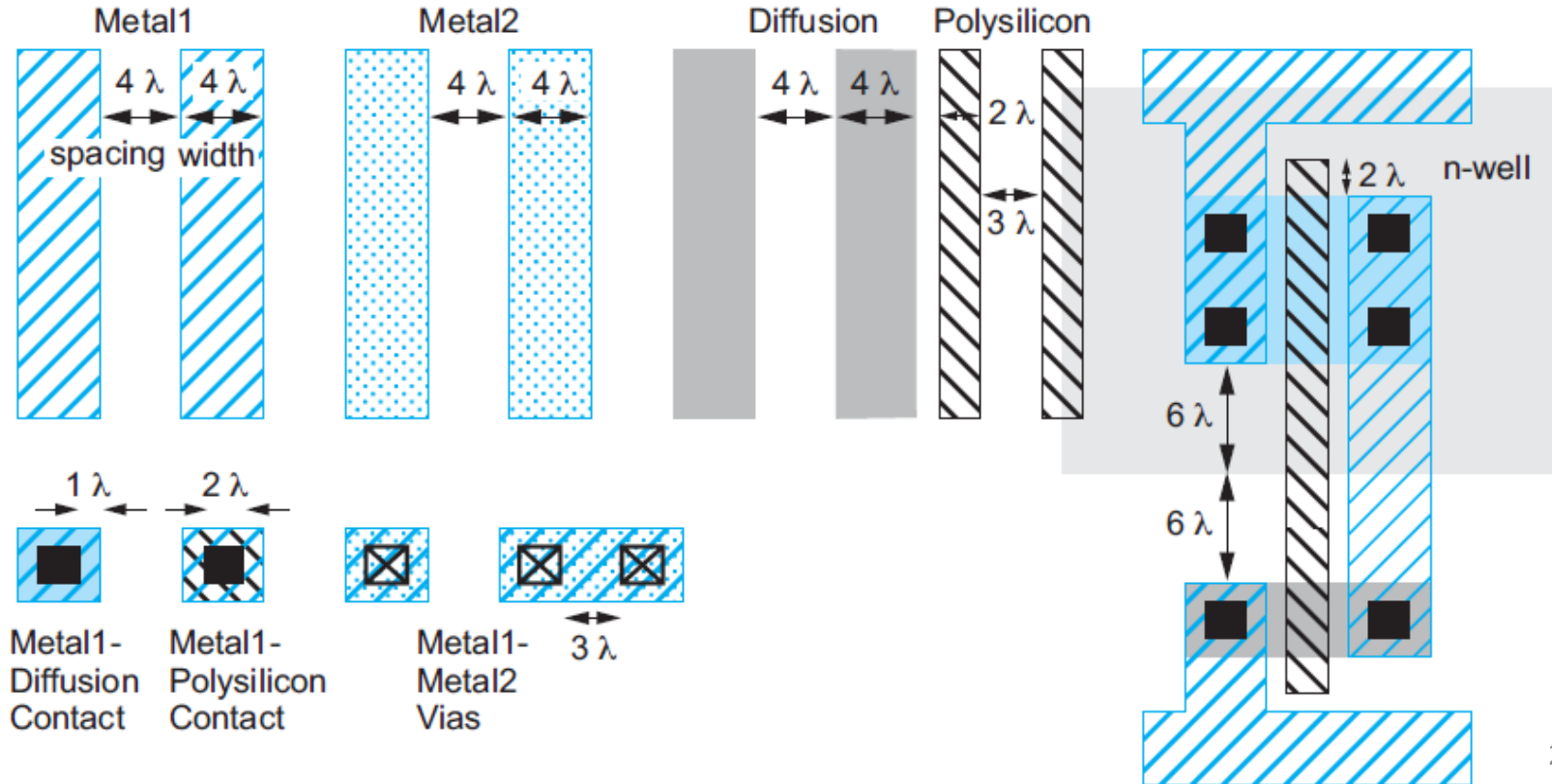


# CMOS (КМОП) технология

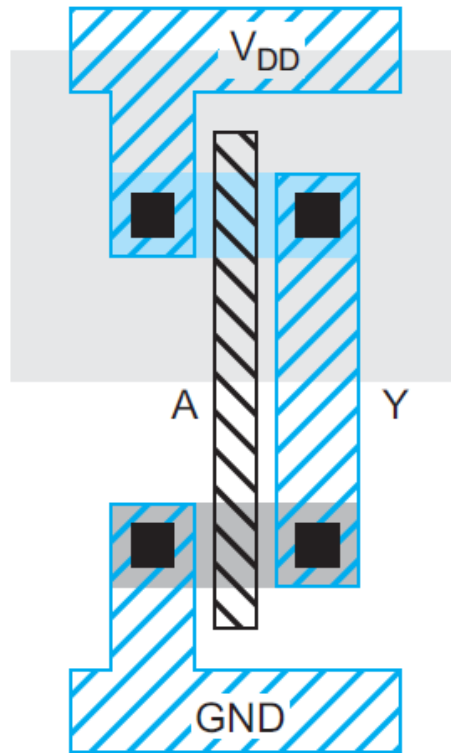




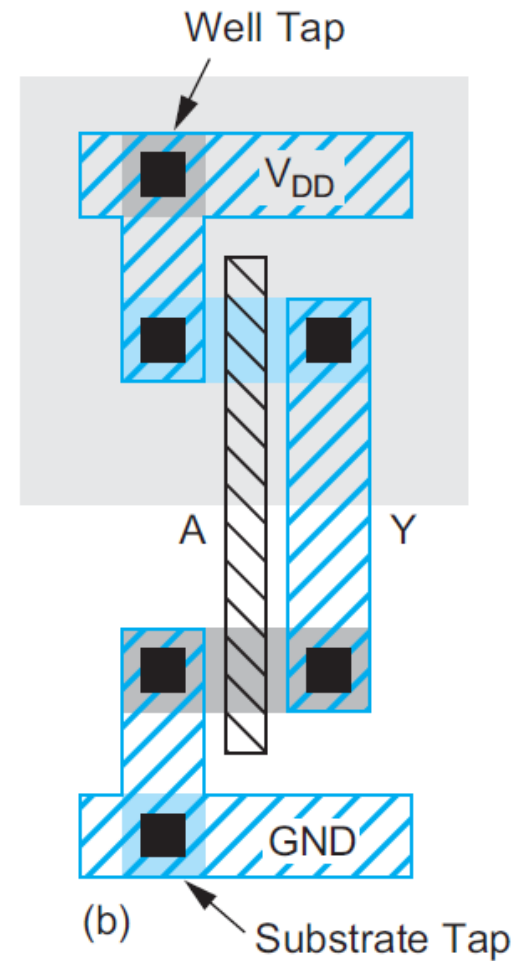
# Правила проектирования, основанные на одном параметре $\lambda$ , который характеризует разрешение техпроцесса



# Варианты топологий КМОП инвертора

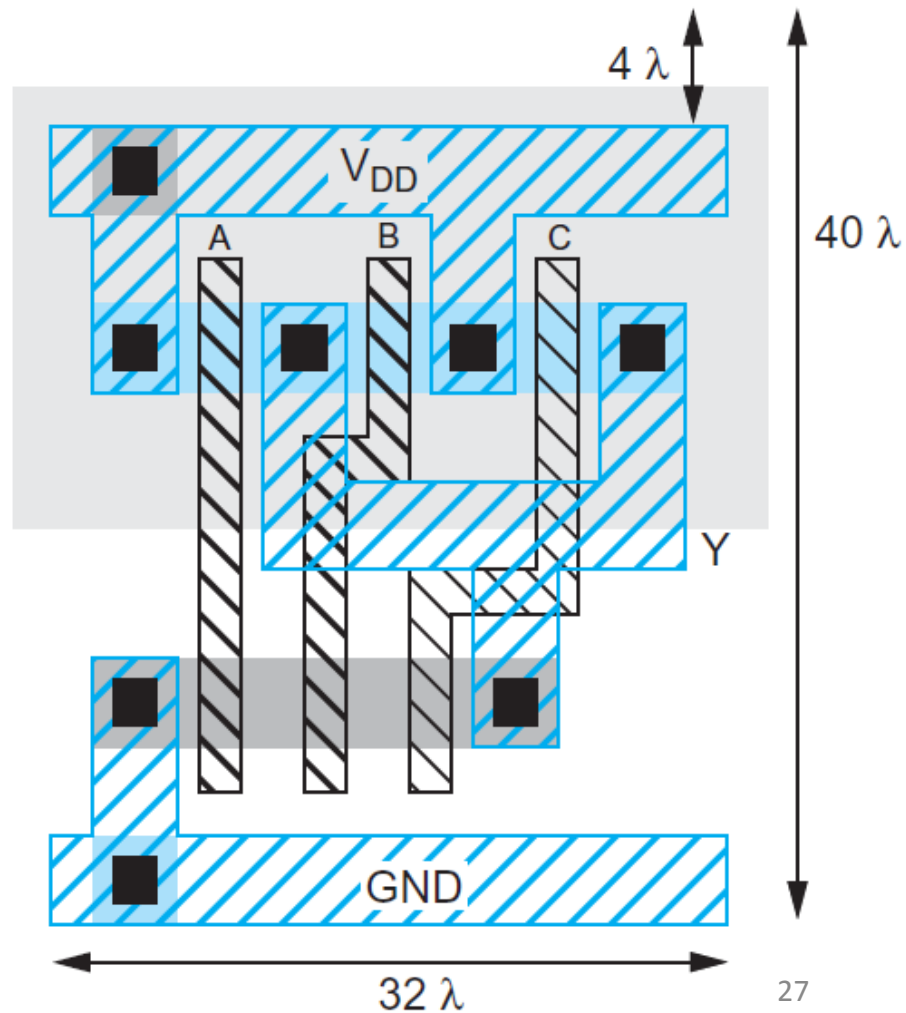


(a)

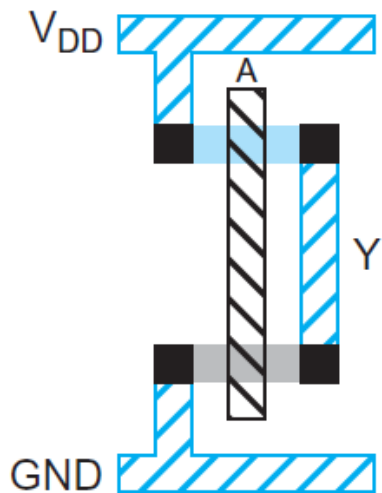


(b)

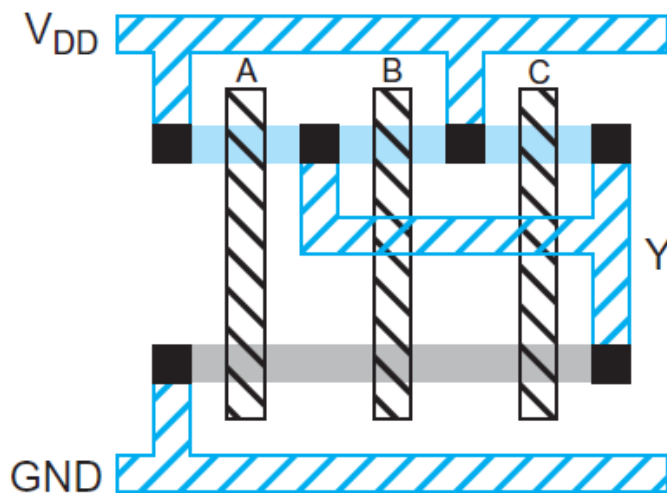
# Топология КМОП ячейки И-НЕ на 3 входа



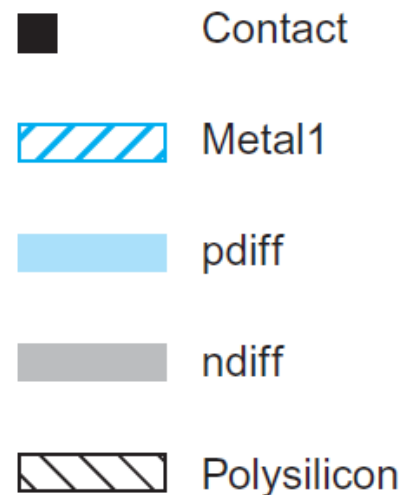
# Упрощенные схемы топологий КМОП инвертора (a) и ячейки И-НЕ на 3 входа (b)



(a)



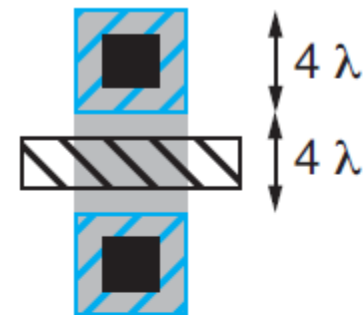
(b)



Шаг треков  
маршрути-  
зации  
(трасси-  
ровки)

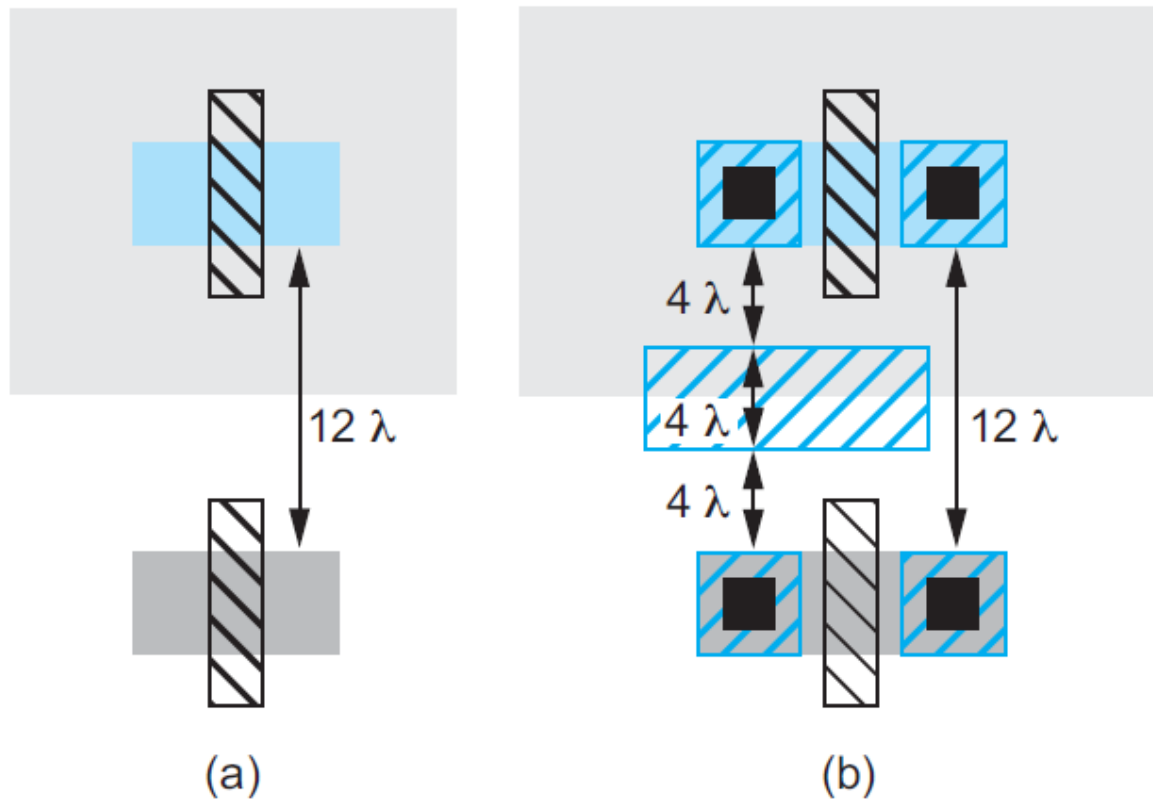


(a)

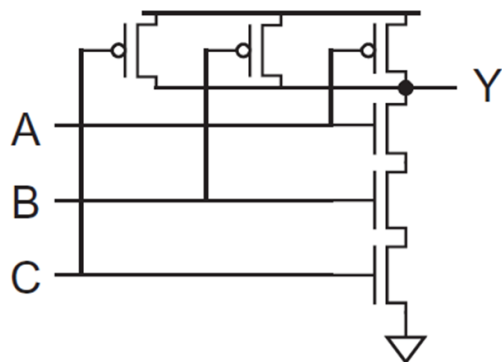


(b)

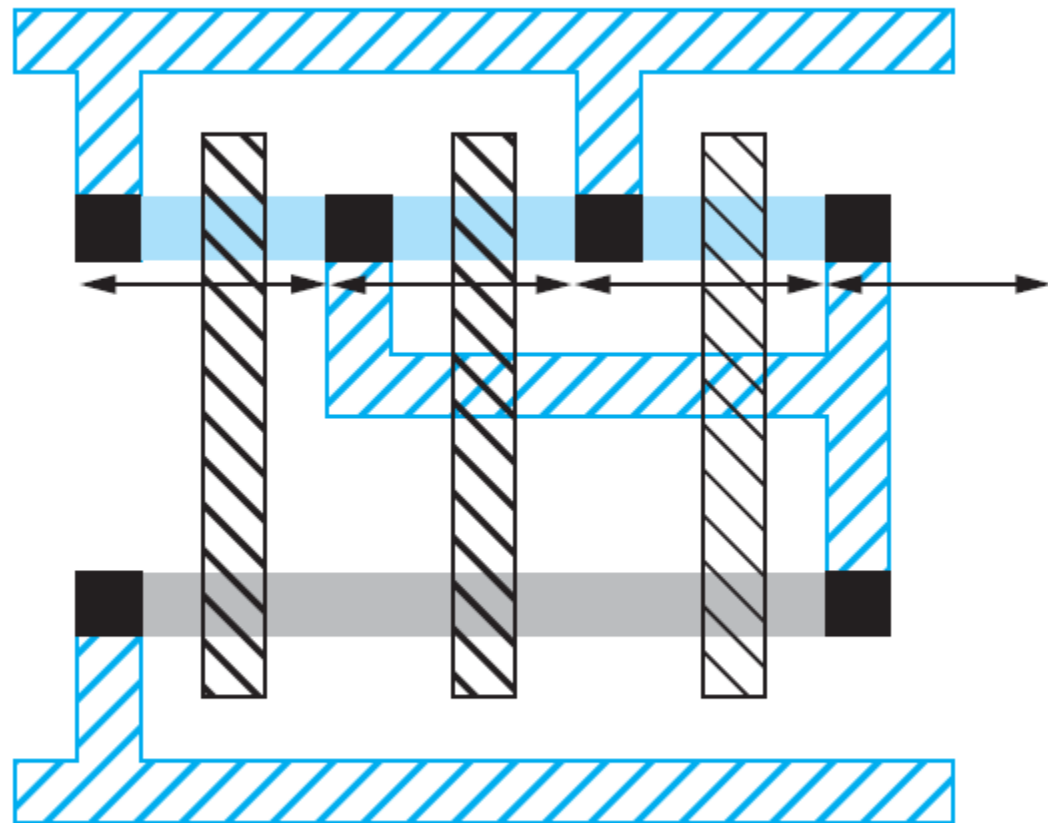
# Расстояние между транзисторами nMOS и pMOS



Оценка  
размера  
КМОП  
ячейки  
И-НЕ  
с 3 входами

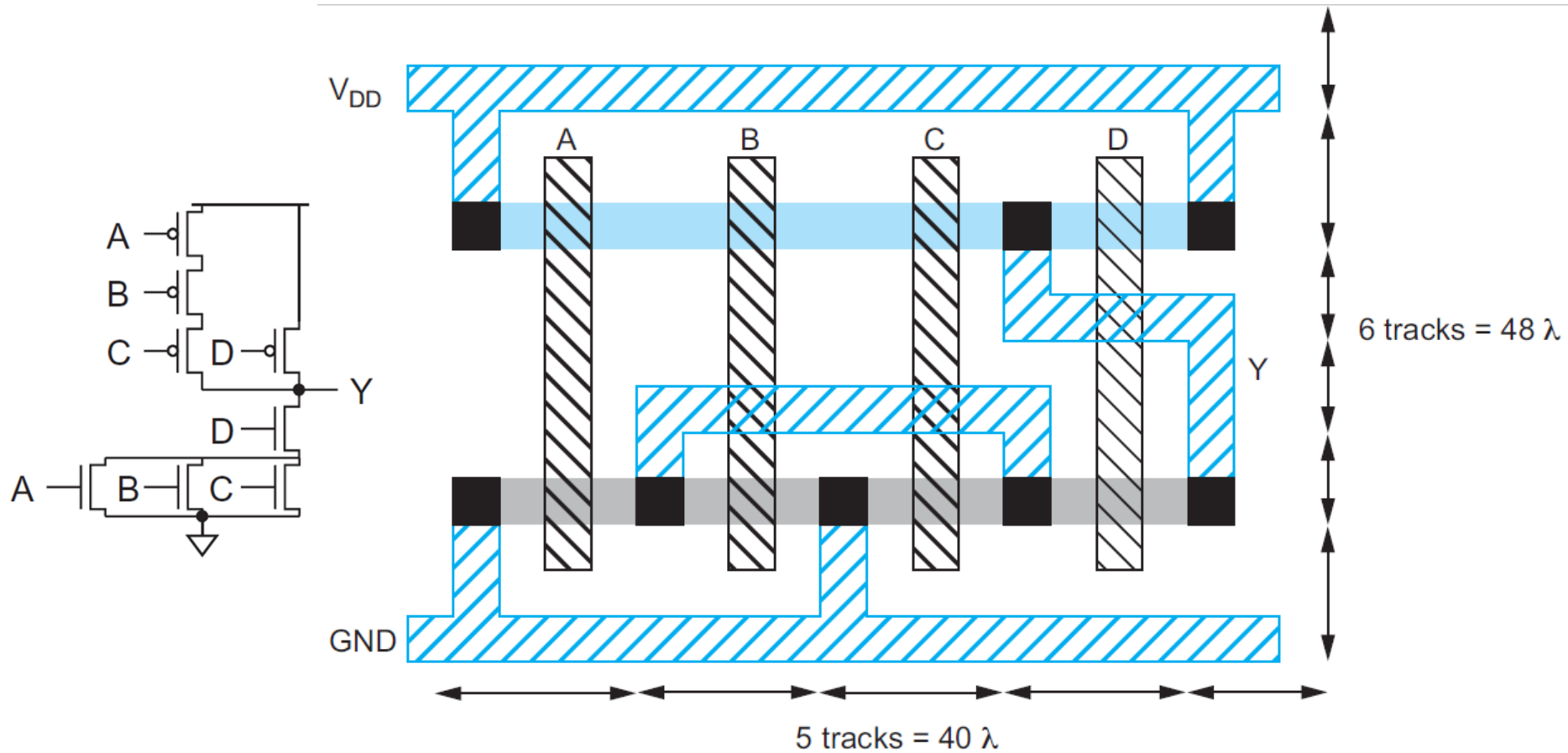


$40 \lambda$



$32 \lambda$

$$Y = \overline{(A + B + C)} \cdot D$$





# Уровни и сферы разработки

