

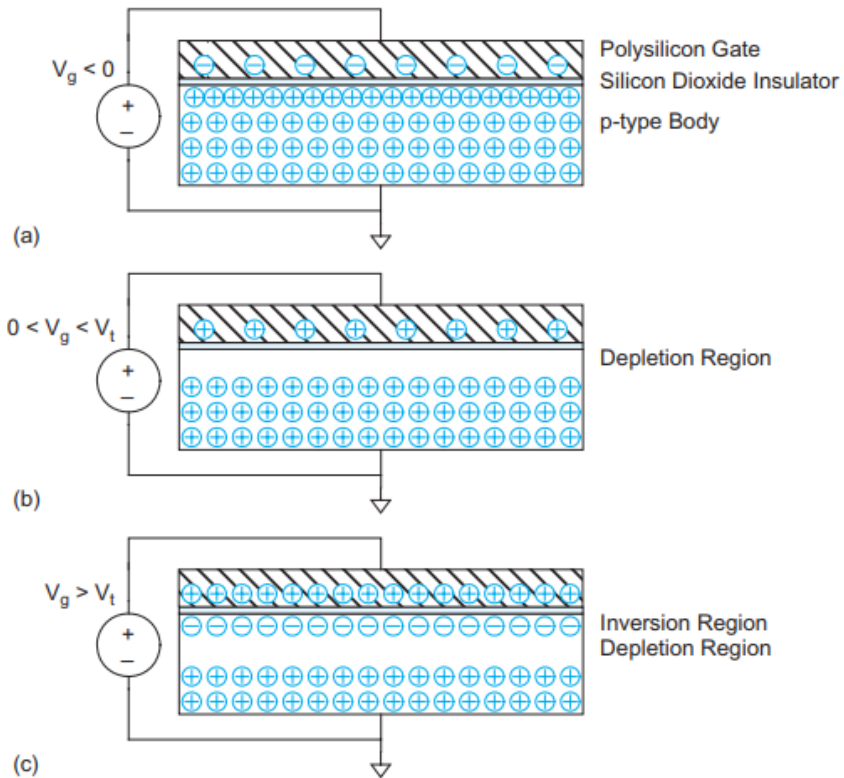
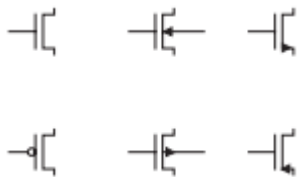
РВС

Лекция 4-4

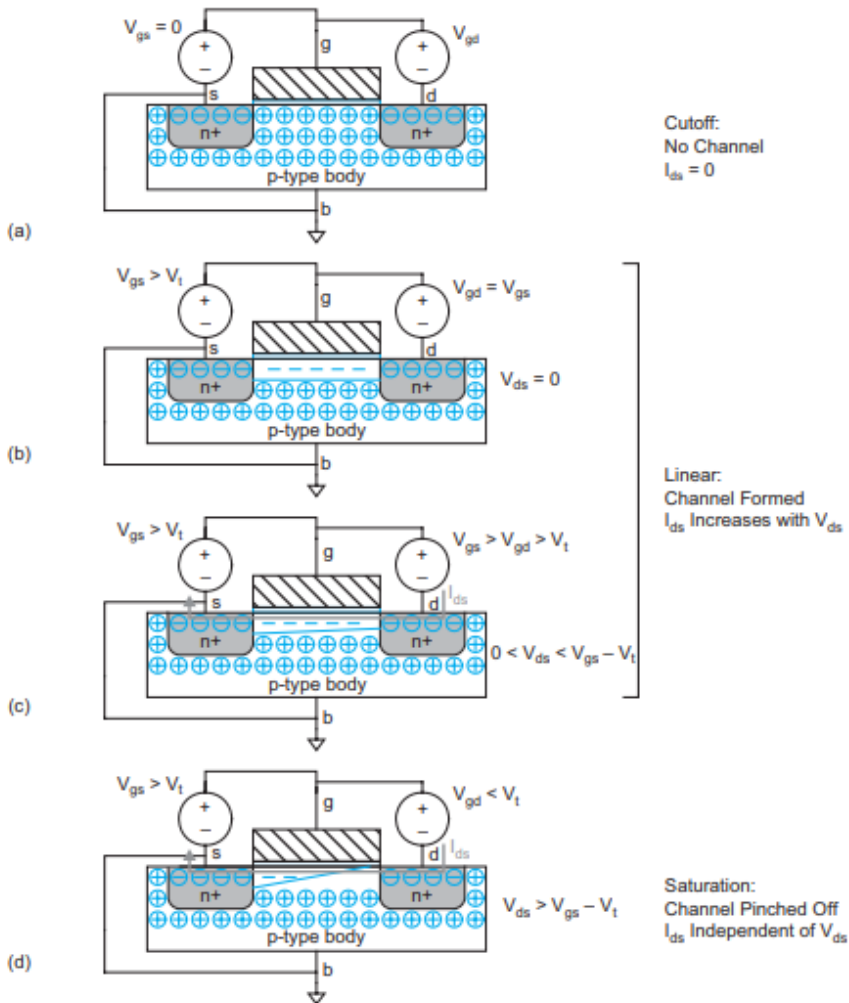
ТНК

2019

МОП транзистор. Теория

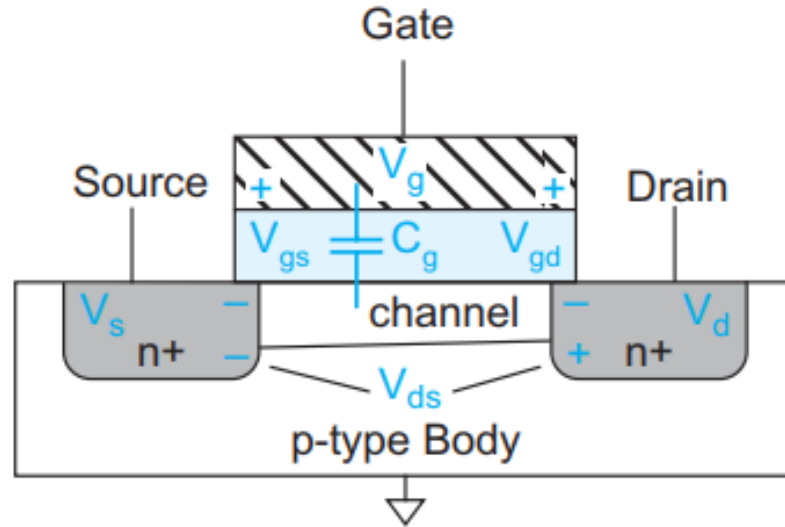


Структура МОП демонстрирует (а) накопление, (б) истощение и (с) инверсия



Транзистор nMOS, демонстрирующий различные состояния

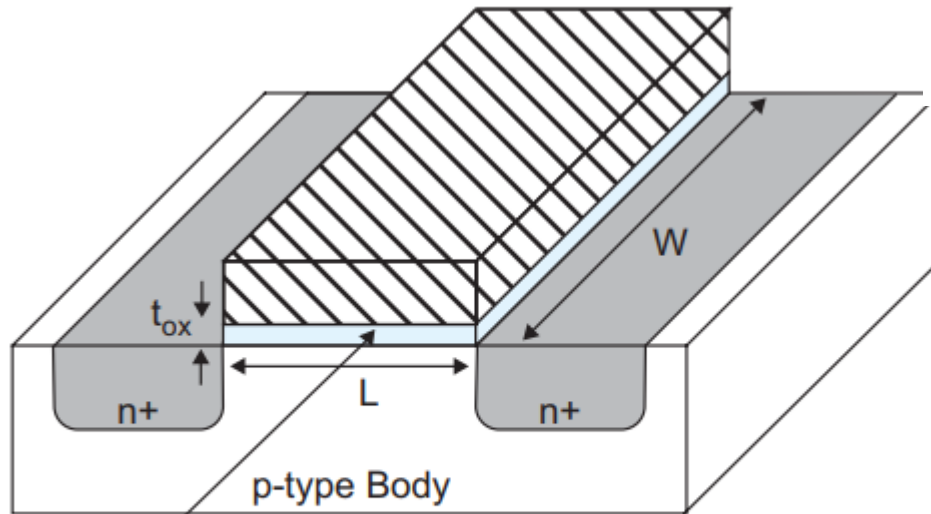
Среднее напряжение на канале



Average gate to channel potential:

$$V_{gc} = (V_{gs} + V_{gd})/2 = V_{gs} - V_{ds}/2$$

Размеры транзистора



SiO₂ Gate Oxide
(insulator, $\epsilon_{ox} = 3.9\epsilon_0$)

$$C_g = k_{ox} \epsilon_0 \frac{WL}{t_{ox}} = \epsilon_{ox} \frac{WL}{t_{ox}} = C_{ox} WL$$

где ϵ_0 : диэлектрическая проницаемость свободного пространства, $8,85 \times 10^{-14} \text{ Ф / см}$,

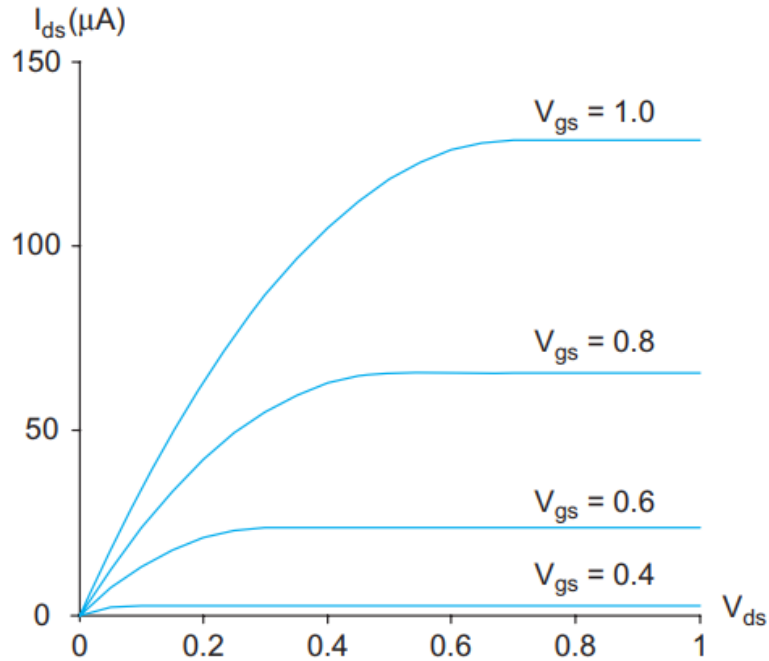
а диэлектрическая проницаемость SiO₂ в $k_{ox} = 3,9$ раза больше.

Часто отношение ϵ_{ox}/t_{ox} называют C_{ox} , емкостью на единицу площади оксида затвора.

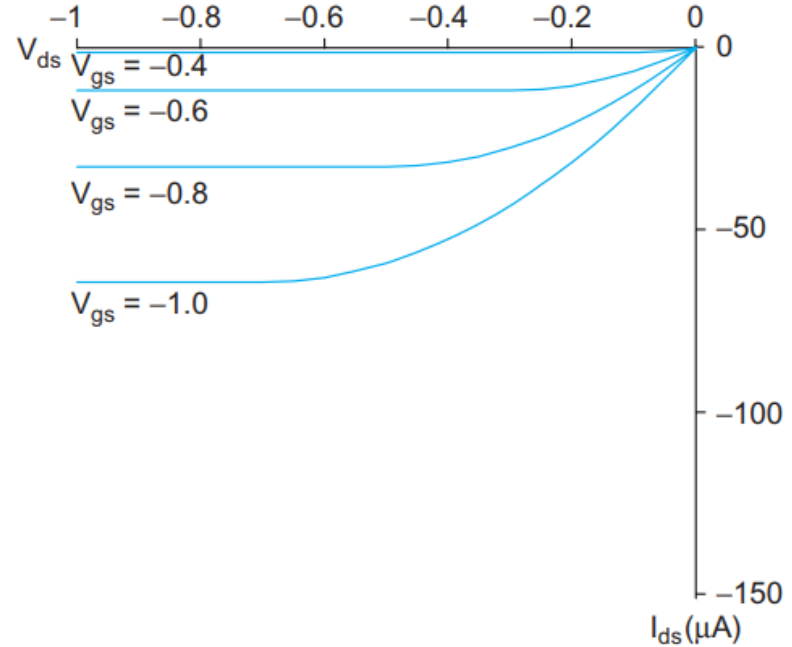
Ток в канале в трех режимах

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{Cutoff} \\ \beta(V_{GT} - V_{ds}/2)V_{ds} & V_{ds} < V_{dsat} & \text{Linear} \\ \frac{\beta}{2}V_{GT}^2 & V_{ds} > V_{dsat} & \text{Saturation} \end{cases}$$

ВАХ идеальных транзисторов 4/2 Q (a) nMOS и (b) pMOS

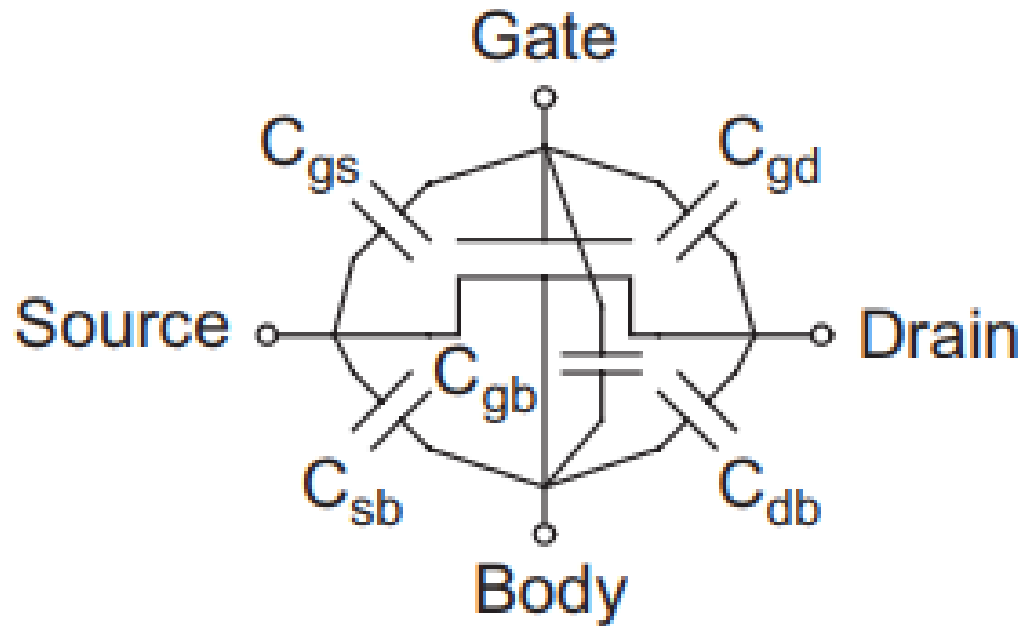


(a)

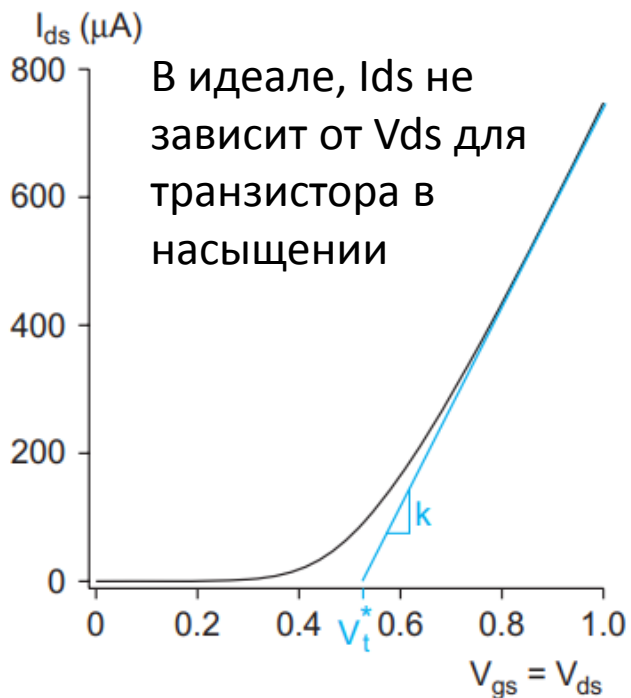


(b)

Емкости МОП-транзистора

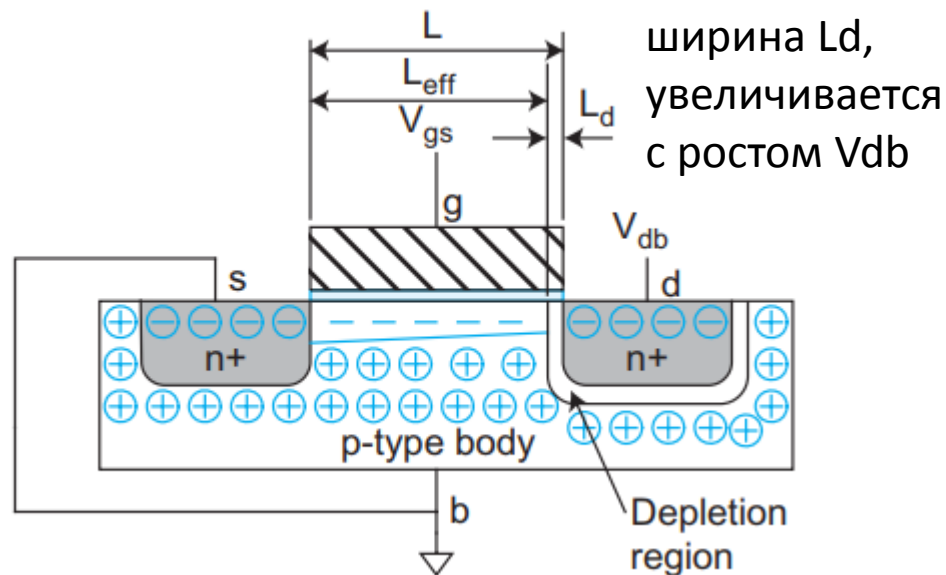


Модуляция длины канала

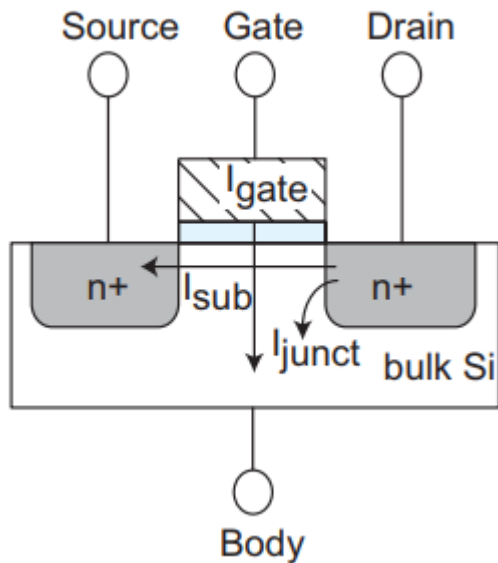


$$L_{eff} = L - L_d$$

Область истощения сокращает эффективную длину канала



Ток утечки



Даже когда транзисторы номинально выключены, они пропускают небольшое количество тока.

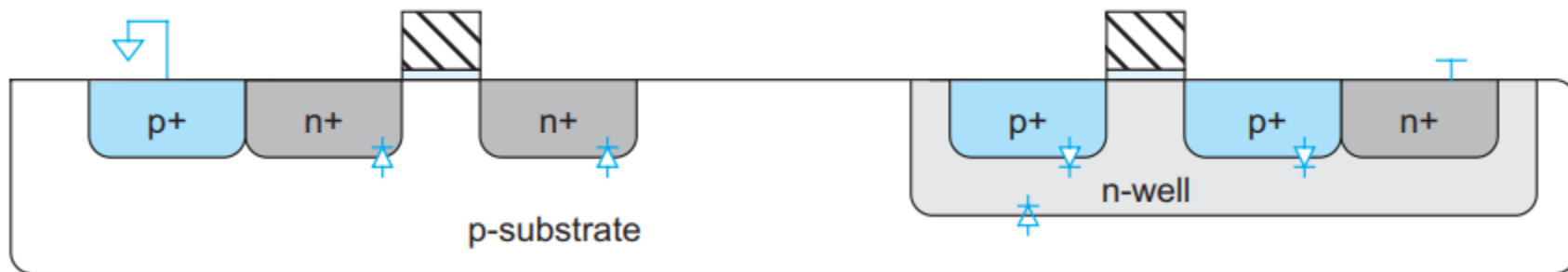
Механизмы утечки включают подпороговую проводимость между истоком и стоком, утечку затвора - от затвора к подложке и утечку соединения от истока к подложке и стока к подложке.

Подпороговая проводимость обусловлена тепловым излучением носителей над потенциальным барьером, установленным порогом.

Утечка в затворе является квантово-механическим эффектом, вызванным туннелированием через чрезвычайно тонкий диэлектрик затвора.

Утечка в соединении вызвана током через p-n-переход между диффузиями исток / сток и подложка.

Подложка к диффузионным диодам в цепях КМОП

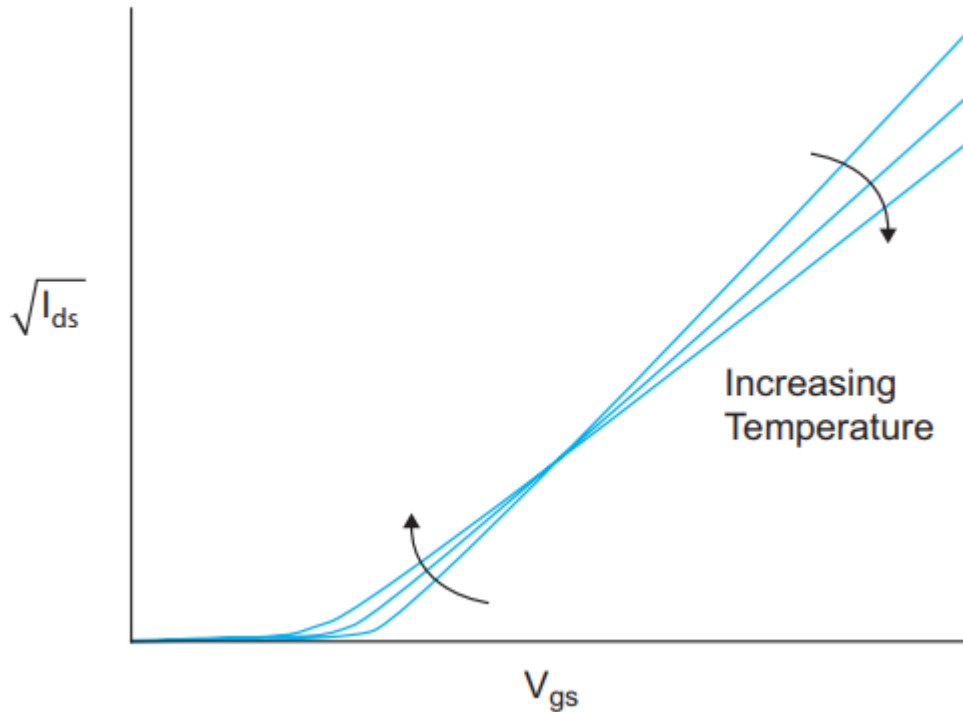


p – n-переходы между диффузией и подложкой или с карманом образуют диоды. Соединение кармана с подложкой является еще одним диодом.

Подложка и карман привязаны к GND или VDD, чтобы эти диоды не смещались в прямом направлении при нормальной работе.

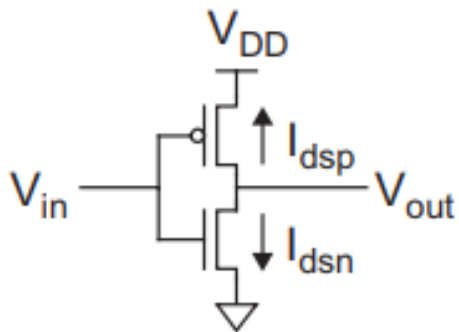
Однако диоды с обратным смещением все еще проводят небольшое количество тока.

Вольт-амперные характеристики nMOS-транзистора при насыщении при различных температурах



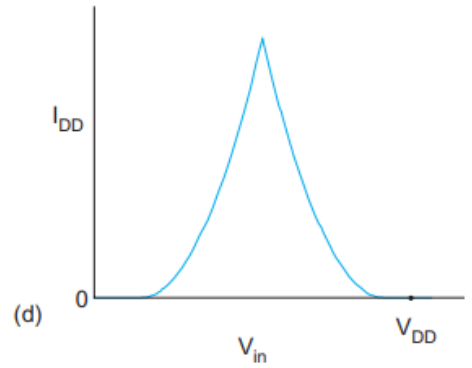
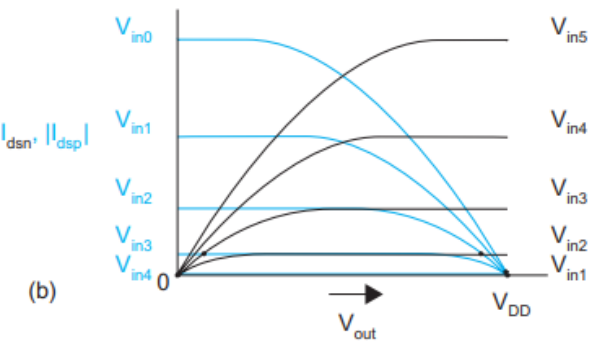
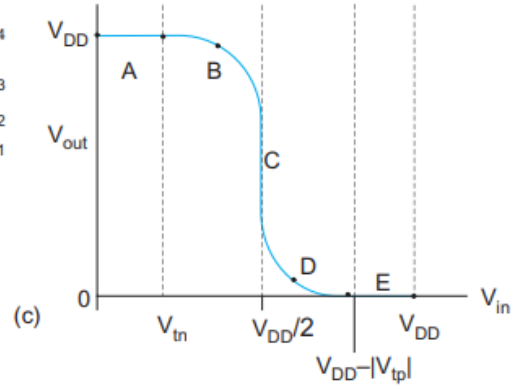
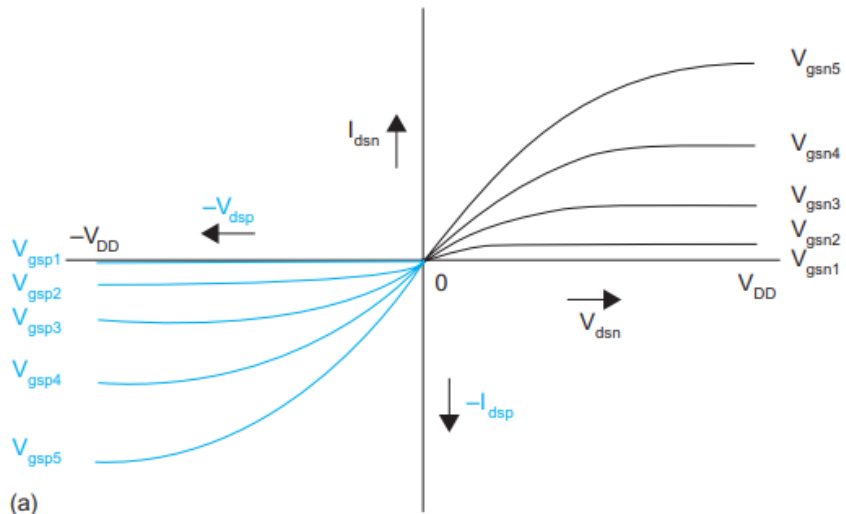
При высоких значениях V_{gs} ток имеет отрицательный температурный коэффициент; то есть **уменьшается с температурой**. При низких V_{gs} ток имеет положительный температурный коэффициент. **Таким образом, ток отключения увеличивается с ростом температуры.**

КМОП Инвертор. Характеристики



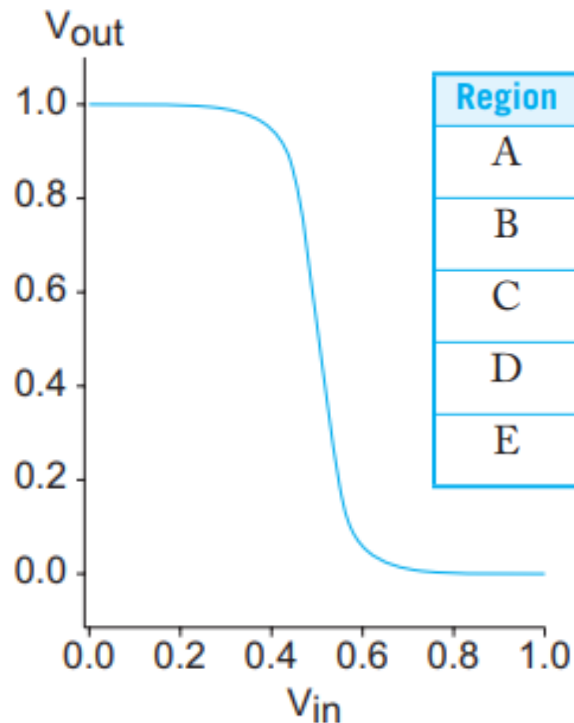
	Cutoff	Linear	Saturated
nMOS	$V_{gsn} < V_{tn}$	$V_{gsn} > V_{tn}$	$V_{gsn} > V_{tn}$
	$V_{in} < V_{tn}$	$V_{in} > V_{tn}$	$V_{in} > V_{tn}$
		$V_{dsn} < V_{gsn} - V_{tn}$	$V_{dsn} > V_{gsn} - V_{tn}$
		$V_{out} < V_{in} - V_{tn}$	$V_{out} > V_{in} - V_{tn}$
pMOS	$V_{gsp} > V_{tp}$	$V_{gsp} < V_{tp}$	$V_{gsp} < V_{tp}$
	$V_{in} > V_{tp} + V_{DD}$	$V_{in} < V_{tp} + V_{DD}$	$V_{in} < V_{tp} + V_{DD}$
		$V_{dsp} > V_{gsp} - V_{tp}$	$V_{dsp} < V_{gsp} - V_{tp}$
		$V_{out} > V_{in} - V_{tp}$	$V_{out} < V_{in} - V_{tp}$

V_{tn} - пороговое напряжение n-канального устройства,
и V_{tp} - пороговое напряжение устройства p-канала. Обратите внимание, что V_{tp} является отрицательным. Уравнения даны как в единицах V_{gs} / V_{ds} , так и V_{in} / V_{out} . Поскольку исток транзистора nMOS заземлен, $V_{gsn} = V_{in}$ и $V_{dsn} = V_{out}$. В качестве истока транзистора pMOS используется привязка к V_{DD} , $V_{gsp} = V_{in} - V_{DD}$ и $V_{dsp} = V_{out} - V_{DD}$.



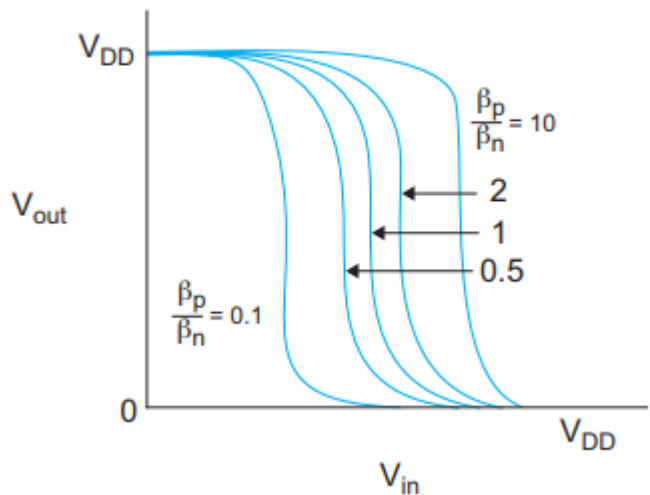
Графики характеристик КМОП-преобразователя

Передаточная характеристика

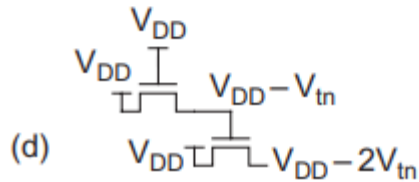
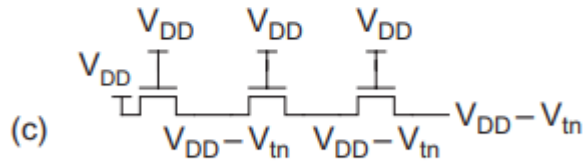
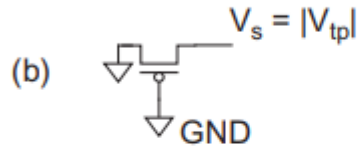
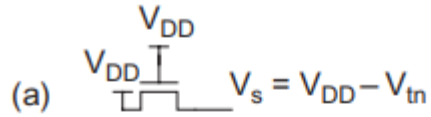


Region	Condition	p-device	n-device	Output
A	$0 \leq V_{in} < V_{tn}$	linear	cutoff	$V_{out} = V_{DD}$
B	$V_{tn} \leq V_{in} < V_{DD}/2$	linear	saturated	$V_{out} > V_{DD}/2$
C	$V_{in} = V_{DD}/2$	saturated	saturated	V_{out} drops sharply
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp} $	saturated	linear	$V_{out} < V_{DD}/2$
E	$V_{in} > V_{DD} - V_{tp} $	cutoff	linear	$V_{out} = 0$

Передаточные характеристики перекошенных инверторов. Эффект бета-отношения



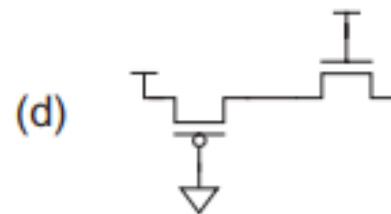
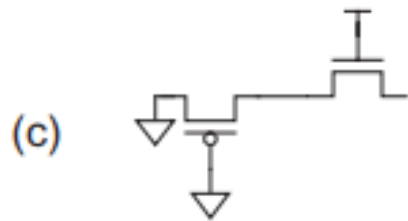
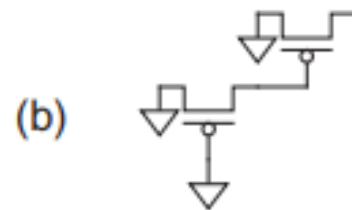
- Для $\beta_p = \beta_n$ пороговое напряжение V_{inv} инвертора равно $V_{DD} / 2$. Это позволяет емкостной нагрузке заряжаться и разряжаться в равное время, обеспечивая равные токи истока и стока;
- Инверторы с различными отношениями бета называются асимметричными инверторами. Если $r > 1$, инвертор перекошен. Если $r < 1$, инвертор перекошен. Если $r = 1$, инвертор имеет нормальный перекосяк или не перекошен.



Потенциалы в соединениях транзисторов

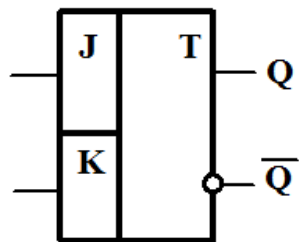
Упражнение 1

Определите
выходные
напряжения
транзисторных
схем без учета
эффекта
подложки.



Пример разработки триггерных схем

Таблица 14.6. Таблица работы JK-триггера



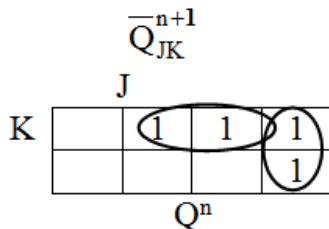
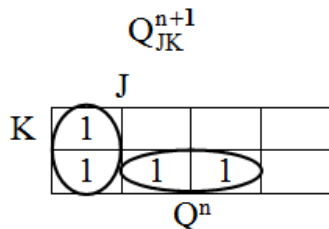
J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

рис. 14.10. Обозначение JK-триггера

$$Q_{JK}^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\bar{Q}_{JK}^{n+1} = KQ^n + \bar{J}\bar{Q}^n$$

Диаграммы Вейча для прямого и инверсного выходов JK-триггера:



Упражнение 2

- На основе характеристических уравнений JK-триггера нарисуйте КМОП схему JK-триггера.
- По транзисторной схеме, используя принцип функциональной интеграции, нарисуйте топологию КМОП JK-триггера (с учетом рассмотренных ранее размерных ограничений).