

РВС  
Лекция 4-5

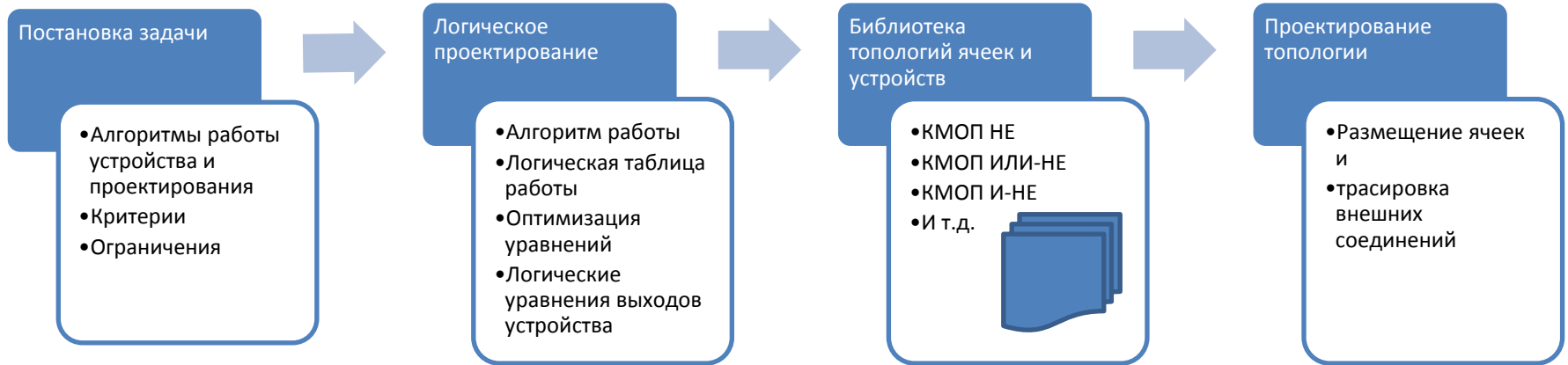
ТНК  
2019

**ПРАКТИЧЕСКИЕ ПРИМЕРЫ  
РАЗРАБОТКИ ТОПОЛОГИИ УСТРОЙСТВ  
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ (ВС).  
ЭТАПЫ РАЗРАБОТКИ**

1

# **ВЕНТИЛЬНОЕ ПРОЕКТИРОВАНИЕ**

# Этапы разработки для вентиляционного проектирования топологии устройств на кристалле



- Требуется
  - разработать топологию асинхронного RS-триггера в КМОП/CMOS схемотехнике.
- Используйте:
  1. Вентильный подход к проектированию
- Критерии:
  - минимальная мощность,
  - максимальное быстродействие,
  - минимальная площадь,
  - минимальное количество пересечений соединений
- Ограничения:
  - проектная норма 20 нм
  - технологические ограничения размещения транзисторов и трассировки соединений (см. предыдущие лекции)

- Алгоритмы работы устройства и проектирования
- Критерии
- Ограничения

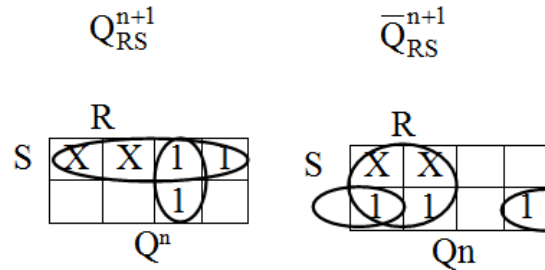
# Логическое проектирование

- Алгоритм работы
- Логическая таблица работы
- Оптимизация уравнений
- Логические уравнения выходов устройства

Таблица работы асинхронного RS-триггера

R	S	Q <sup>n</sup>	Q <sup>n+1</sup>	$\bar{Q}^{n+1}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	X	X
1	1	1	X	X

На основании диаграмм Вейча:



запишем характеристические уравнения для  $Q_{RS}^{n+1}$  и  $\bar{Q}_{RS}^{n+1}$  в МДНФ (минимальной дизъюнктивной нормальной форме):

$$Q_{RS}^{n+1} = S + \bar{R}Q^n$$

$$\bar{Q}_{RS}^{n+1} = R + \bar{S}\bar{Q}^n$$

# Преобразование логических уравнений устройства:

1. Для вентиляного проектирования

В соответствии с известными алгоритмами, приведем систему уравнений к логическому базису **ИЛИ-НЕ**. Т.е. проведем преобразование уравнений, например, для схмотехнического базиса ЭСЛ или **вентильного** МОП (ИЛИ-НЕ) или КМОП (ИЛИ-НЕ)

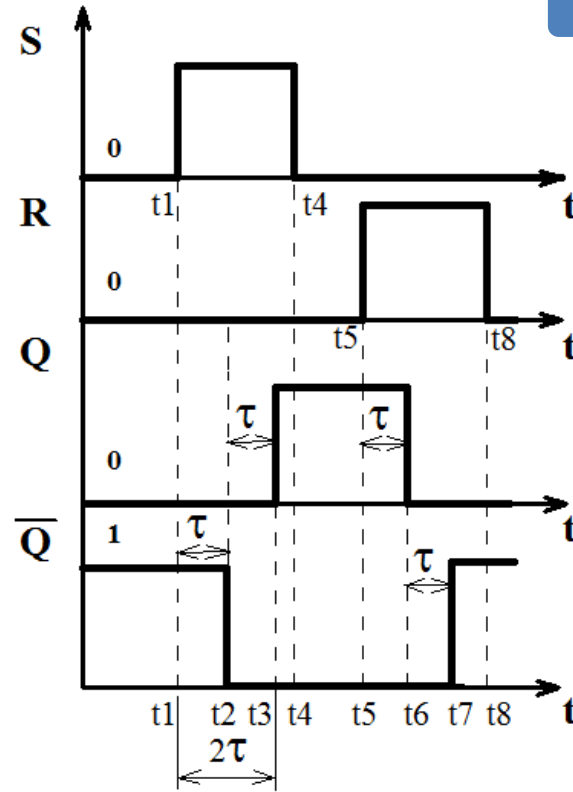
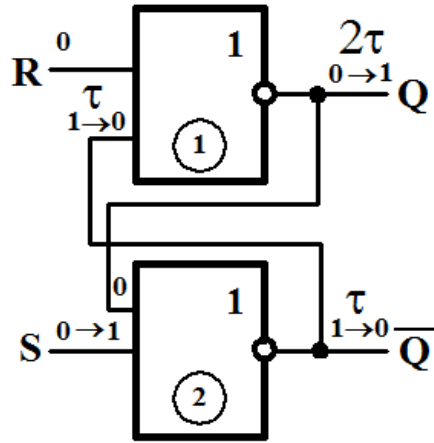
$$\left\{ \begin{array}{l} Q_{RS}^{n+1} = S + \overline{R}Q^n \\ \overline{Q}_{RS}^{n+1} = R + \overline{S}\overline{Q}^n \end{array} \right. \Longrightarrow$$

$$\left\{ \begin{array}{l} \overline{Q}_{RS}^{n+1} = \overline{S + \overline{R}Q^n} = \overline{S + R + \overline{Q}^n} ; \\ \overline{\overline{Q}_{RS}^{n+1}} = \overline{\overline{R + \overline{S}\overline{Q}^n}} = \overline{R + S + Q^n} \end{array} \right.$$

- Преобразование логических уравнений выходов асинхронного RS триггера к функционально-полному логическому базису ИЛИ-НЕ



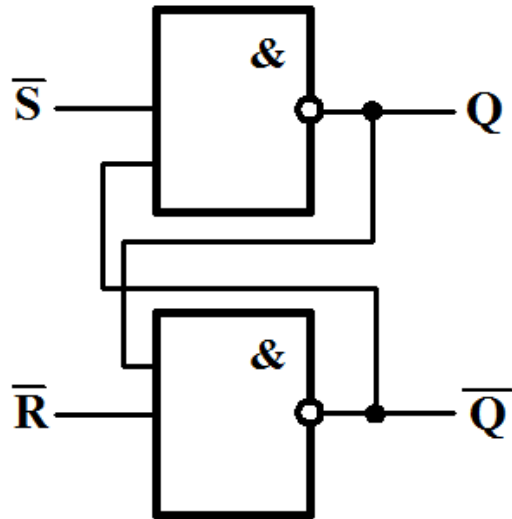
По преобразованным уравнениям строится вентильная схема RS-триггера (БЯ) в базе ИЛИ-НЕ



### Логическое проектирование

- Построение по уравнениям вентильной схемы асинхронного RS триггера в логическом базисе **ИЛИ-НЕ**
- Анализ параметров

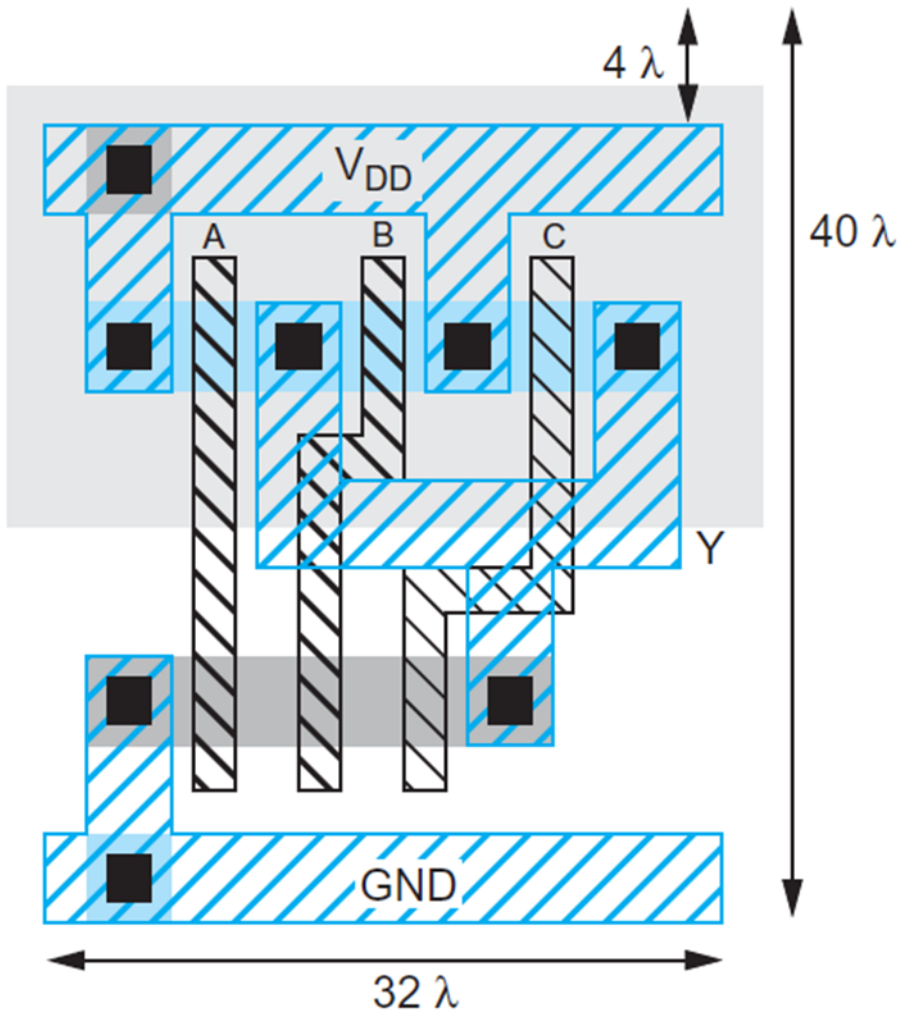
# Асинхронный RS триггер в логическом базисе И-НЕ



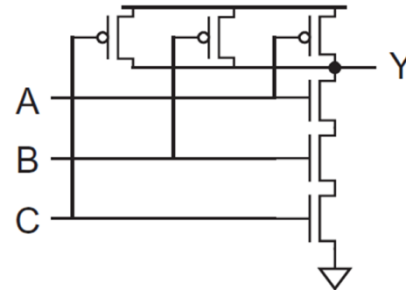
Преобразовав уравнения RS-триггера к логическому базису И-НЕ (ТТЛ, ТТЛШ, МОП И-НЕ, КМОП И-НЕ и т.д.), мы получим следующие уравнения:

$$Q_{RS}^{n+1} = \overline{\overline{S + \overline{R}Q^n}} = \overline{\overline{S} \cdot \overline{\overline{R}Q^n}};$$
$$\overline{Q}_{RS}^{n+1} = \overline{\overline{R + SQ^n}} = \overline{\overline{R} \cdot \overline{SQ^n}}$$

- Построение по уравнениям вентильной схемы асинхронного RS триггера в логическом базисе **И-НЕ**
- Анализ параметров



Выбор из библиотеки топологии ячейки КМОП (например, И-НЕ на 3 входа (см. Лекцию 4-2). 3-й вход зарезервируем для синхросигнала)



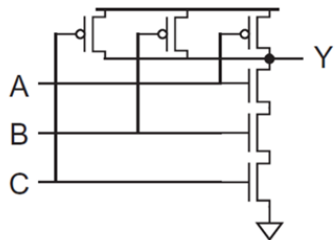
Проектирование топологии устройства

- Выбор из библиотеки топологии КМОП ячейки **И-НЕ**

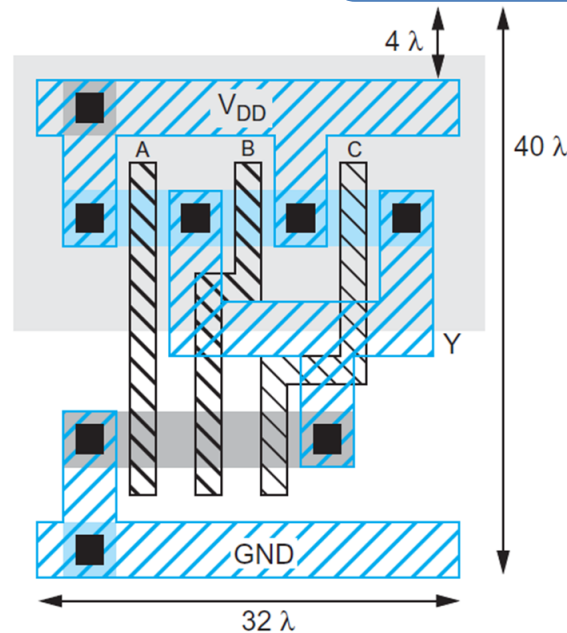
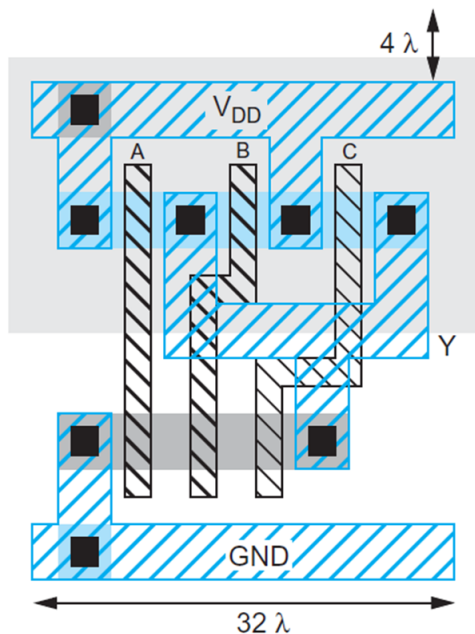
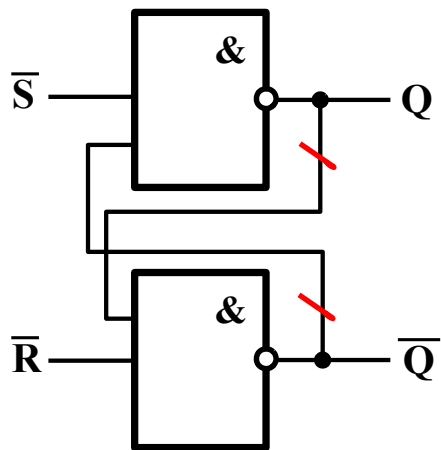
# Проектирование топологии асинхронного RS триггера

Проектирование топологии устройства

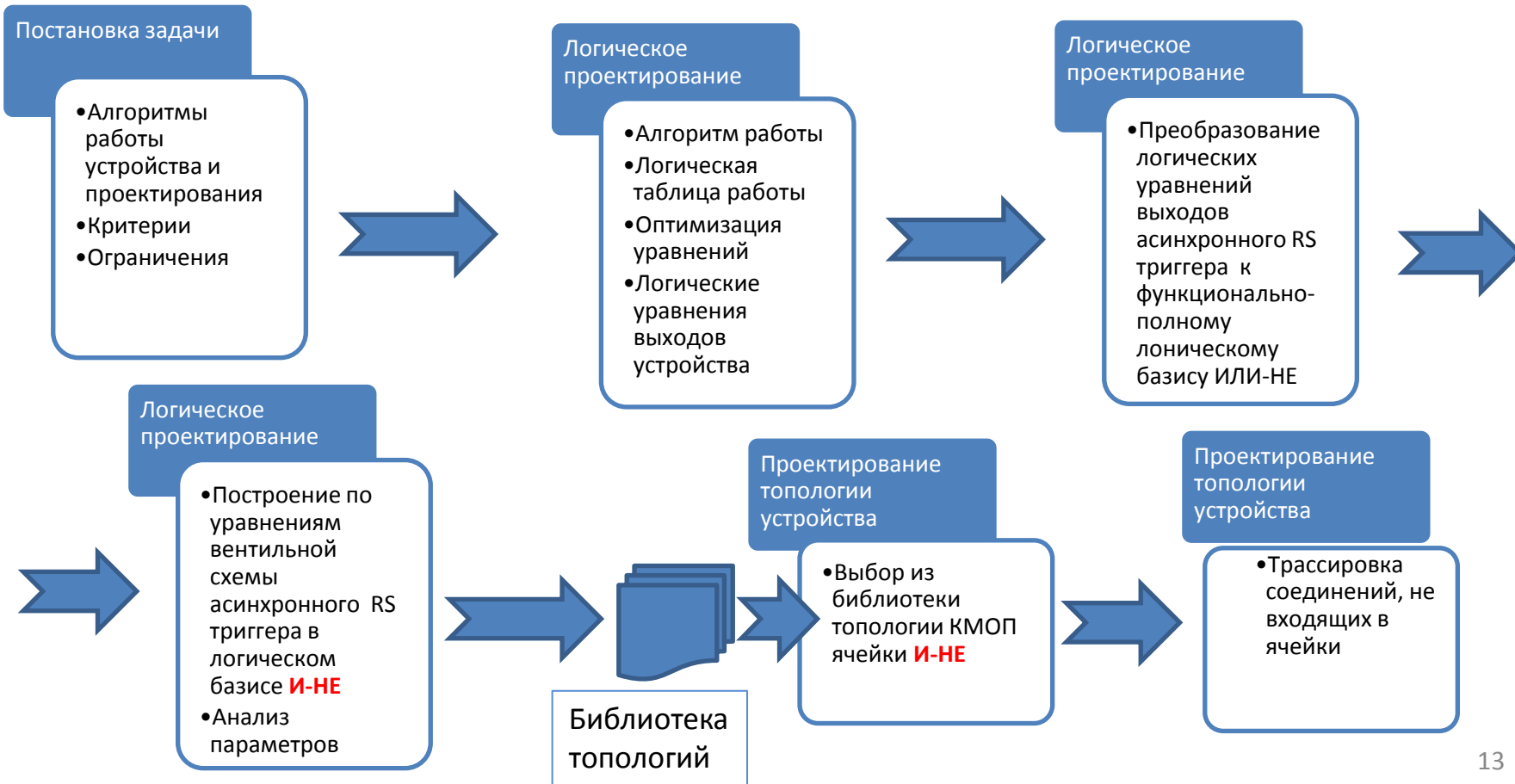
- Трассировка соединений, не входящих в ячейки



Осталось спроектировать топологию внутренних обратных связей. Сделайте это самостоятельно. Не забудьте об ограничениях...



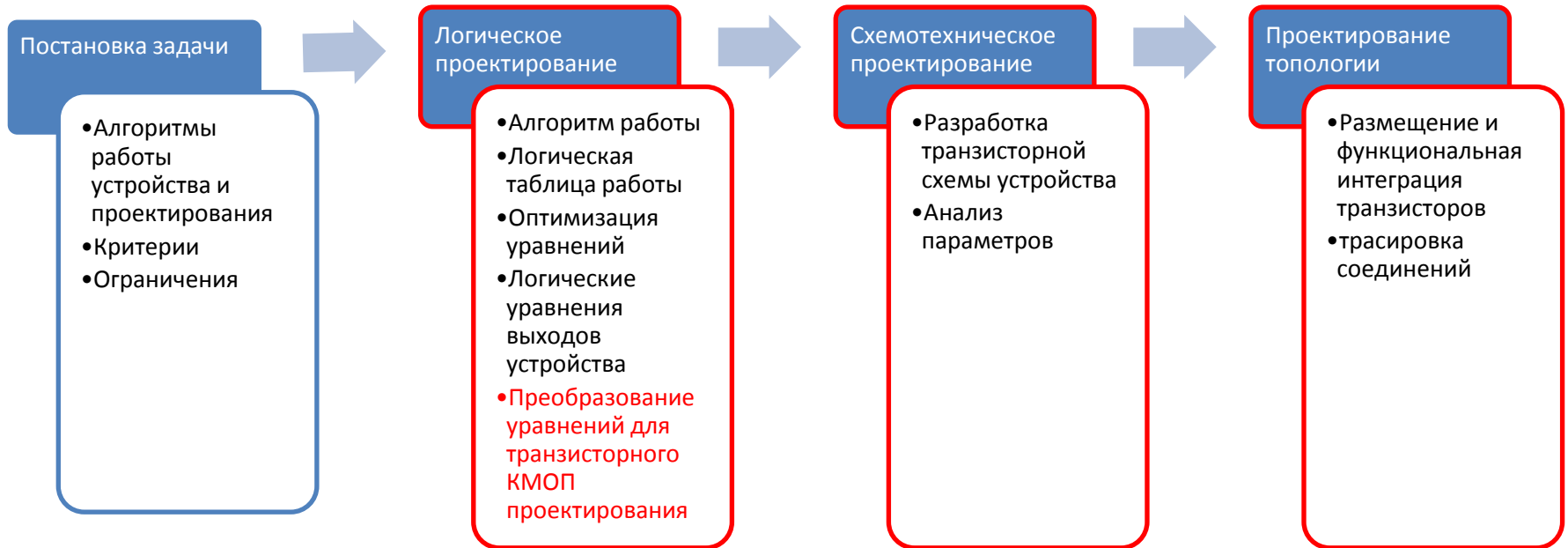
# Диаграмма разработки устройства на кристалле для вентиляционного проектирования



# 2

## **ТРАНЗИСТОРНОЕ ПРОЕКТИРОВАНИЕ В КМОП-СХЕМОТЕХНИКЕ**

# Этапы разработки для транзисторного КМОП проектирования топологии устройств на кристалле



# Принципы синтеза КМОП схем любой сложности

Логические (цифровые) КМОП схемы любой сложности могут быть синтезированы с учетом следующих схемотехнических принципов:

1. общая инверсия реализуется альтернативной схемой.  
Альтернативность:
  - 1) по типу МОП транзисторов (n-канал – p-канал);
  - 2) по типу соединения транзисторов (последовательное – параллельное),
2. зависимая функция И реализуется последовательным соединением n-канальных транзисторов или подсхем (логическая часть),
3. зависимая функция ИЛИ реализуется параллельным соединением n-канальных транзисторов или подсхем (логическая часть схемы).
4. Альтернативность распространяется не только на транзисторы, но и подсхемы.



# Алгоритм проектирования

- Сначала в соответствии с функцией, которая обязательно должна иметь общую инверсию, реализуем между «землей» и выходом логическую n-канальную часть схемы, соответствующую подинверсному выражению с помощью второго третьего принципов синтеза КМОП схем (см. предыдущий слайд).
- Между выходом и питанием реализуем p-канальную альтернативную часть схемы, реализующую общую инверсию (первый принцип синтеза КМОП схем).
- На рис. 1,2 (следующий слайд) показаны результаты использования данного алгоритма для синтеза КМОП логических (цифровых) схем.
- В рассмотренных примерах инверсию реализует альтернативная схема. Если логическая схема или подсхема параллельна, то альтернативная последовательна, и наоборот.
- В n-канальных транзисторах логической части схемы подложка соединена с землей, а подложки p-канальных транзисторов альтернативной части с источником питания (для запираения изолирующих карманов).

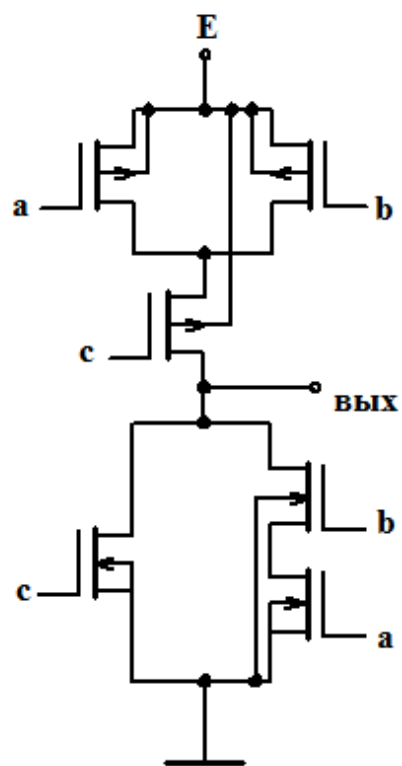


Рис. 1. КМОП схема, реализующая функцию  
 $F_1 = \overline{(ab + c)}$

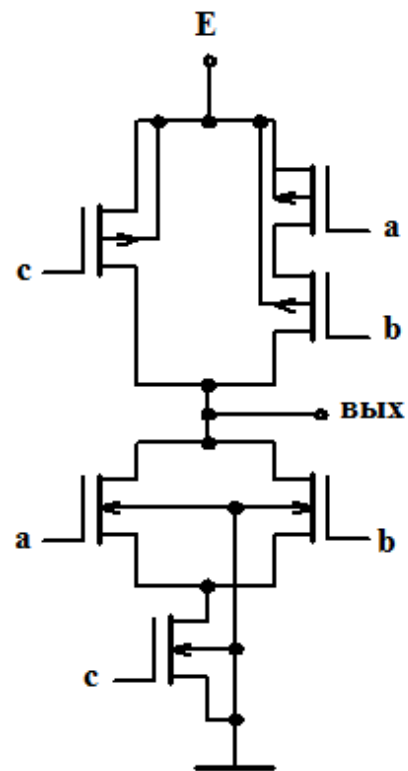


Рис. 2. КМОП схема, реализующая функцию  
 $F_2 = \overline{(a + b)c}$

- Требуется
  - разработать топологию асинхронного RS-триггера в КМОП/CMOS схемотехнике.
- Используйте:
  1. Проектирование из транзисторов
- Критерии:
  - минимальная мощность,
  - максимальное быстродействие,
  - минимальная площадь,
  - минимальное количество пересечений соединений
- Ограничения:
  - проектная норма 20 нм
  - технологические ограничения размещения транзисторов и трассировки соединений (см. предыдущие лекции)

- Алгоритмы работы устройства и проектирования
- Критерии
- Ограничения

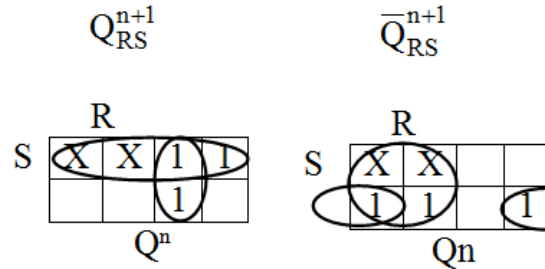
# Логическое проектирование

- Алгоритм работы
- Логическая таблица работы
- Оптимизация уравнений
- Логические уравнения выходов устройства

Таблица работы асинхронного RS-триггера

R	S	Q <sup>n</sup>	Q <sup>n+1</sup>	$\bar{Q}^{n+1}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	X	X
1	1	1	X	X

На основании диаграмм Вейча:



запишем характеристические уравнения для  $Q_{RS}^{n+1}$  и  $\bar{Q}_{RS}^{n+1}$  в МДНФ (минимальной дизъюнктивной нормальной форме):

$$Q_{RS}^{n+1} = S + \bar{R}Q^n$$

$$\bar{Q}_{RS}^{n+1} = R + \bar{S}\bar{Q}^n$$

# Преобразование логических уравнений устройства:

1. Для **транзисторного КМОП проектирования** исходные характеристические уравнения асинхронного RS триггера

$$Q_{RS}^{n+1} = S + \bar{R}Q^n$$
$$\bar{Q}_{RS}^{n+1} = R + \bar{S}\bar{Q}^n$$

- Преобразование логических уравнений выходов устройства
- Для транзисторного КМОП проектирования

нужно привести к виду с общей инверсией в правых частях уравнений и без подинверсных инверсий дизъюнкций и конъюнкций аргументов (например, как на слайде 18).

# Разработка транзисторной КМОП схемы асинхронного RS триггера

Схемотехническое  
проектирование

- Разработка транзисторной схемы устройства
- Анализ параметров

- Попробуйте это сделать самостоятельно в качестве упражнения

# Проектирование топологии асинхронного RS триггера с помощью транзисторного проектирования

- Перед вами транзисторная КМОП схема
- Образцы функциональной интеграции МОП транзисторов
- Ограничения топологии

- Попробуйте создать топологию устройства асинхронного RS триггера самостоятельно в качестве упражнения
- Не забывайте об ограничениях

## Проектирование топологии

- Размещение и функциональная интеграция транзисторов
- трассировка соединений

# Тестирование топологии

- Используя TCAD Synopsys промоделируйте, спроектированное вами устройство асинхронного RS триггера на кристалле
- Протестируйте созданную топологию в режимах
  - Хранения информации
  - Записи нуля
  - Записи единицы
- Определите потребляемую мощность и задержку топологии асинхронного RS триггера (при заданной проектной норме в 20 нм)



# Сравнение вентиляного и транзисторного КМОП проектирования на примере асинхронного RS триггера

- Спроектировав одно устройство двумя способами и имея систему компьютерного моделирования на уровне кристалла, можно сравнить результаты проектирования по основным критериям:
  - мощность;
  - быстродействие;
  - занимаемая на кристалле площадь;
  - трудоемкость (стоимость),
- и сделать выводы...