

Национальный исследовательский университет
Высшая Школа Экономики
Московский институт электроники и математики

Кафедра ВСиС

Методические указания по использованию программы
Tanner-Spice

Курс «Схемотехника ЭВМ»

Разработчик курса д.т.н., профессор Трубочкина Н.К.

Москва 2013 г.

Оглавление

Введение	3
Установка программы	3
Основные сведения	4
Примеры работы с T-Spice	4
Транзисторные схемы	4
Вентильные схемы	42

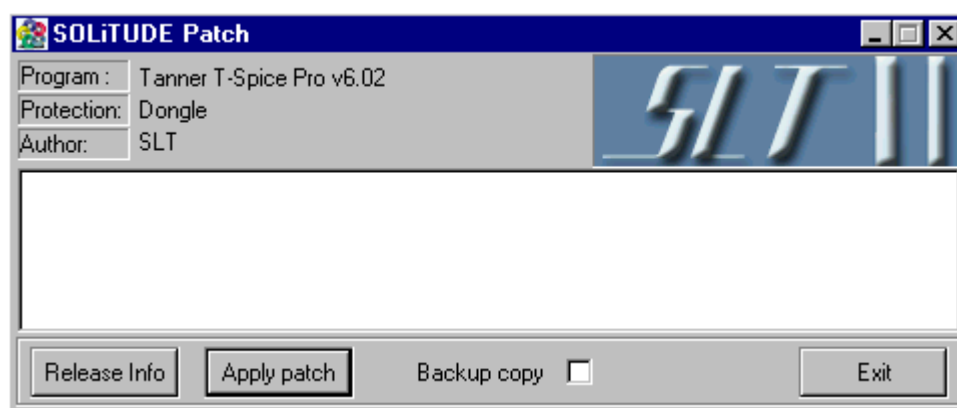
Введение

Из этого методического пособия вы узнаете, как пользоваться программой T-Spice6.02 версия под Win XP.

Программа T-Spice6.02 немного похожа на свою предшественницу программу Pspice, но имеет много преимуществ перед ней. Во-первых, она предназначена для ОС Windows, во-вторых, она имеет удобный пользовательский интерфейс, в-третьих, теперь с ее помощью можно решить гораздо больше задач.

Установка программы

Сначала запускаем setup.exe, находящийся в папке Tanner T-Spice 6.02 и выполняем элементарные действия по установке программы, затем запускаем файл slttsfix.exe из папки crack и нажимаем кнопку Apply patch.



В пути указываем ту папку, в которую мы устанавливали программу и по очереди пропатчиваем каждый запускаемый файл в этой папке по отдельности.



Основные сведения

Итак, нас интересуют 3-и файла: `sedit.exe`, `wintsp32.exe` и `winwed32.exe`.



`sedit.exe`



`wintsp32.exe`



`winwed32.exe`

sedit.exe – для создания схем;

wintsp32.exe- для создания файла описывающего параметры схемы и параметры будущего графика;

winwed32.exe- для создания графиков;

Хэлп (на английском языке и в формате pdf) по использованию каждого из этих файлов находится в папке Docs:

Se\Setoc.pdf, Ts\Tstoc.pdf, и We\wetoc.pdf соответственно.

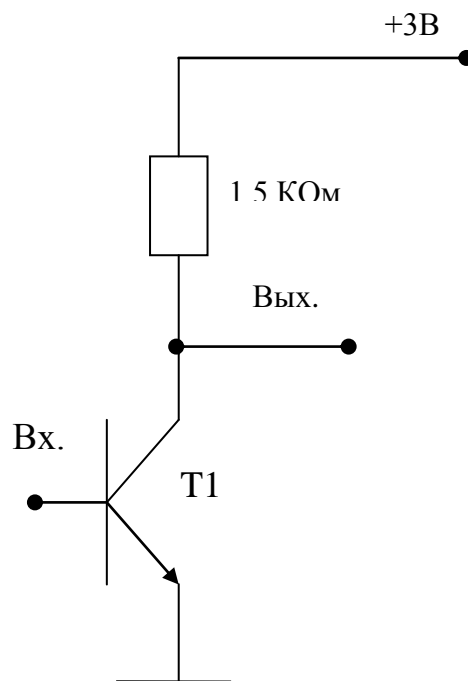
Хэлп (на русском языке и в форматах pdf и txt) по использованию каждого из этих файлов находится в папке Help:

Примеры работы с T-Spice

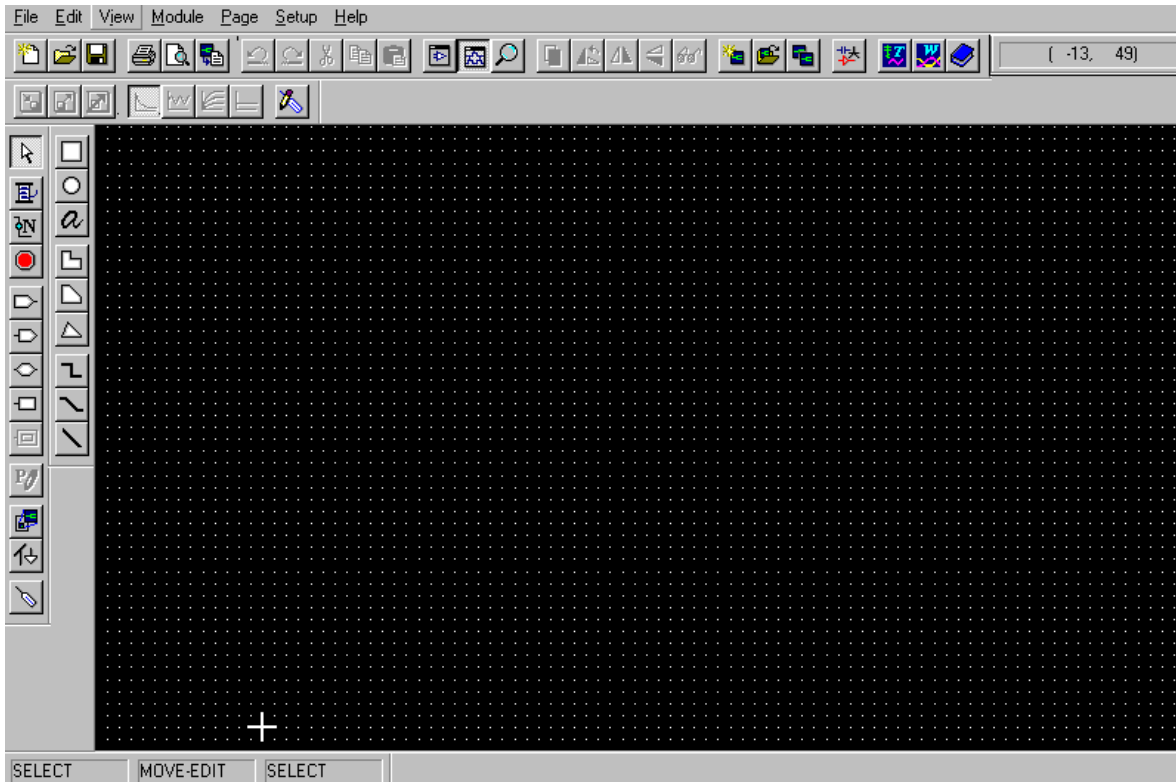
Покажем работу с T-Spice на примере транзисторных и вентильных схем.

Транзисторные схемы


Разберем транзисторную схему инвертора:

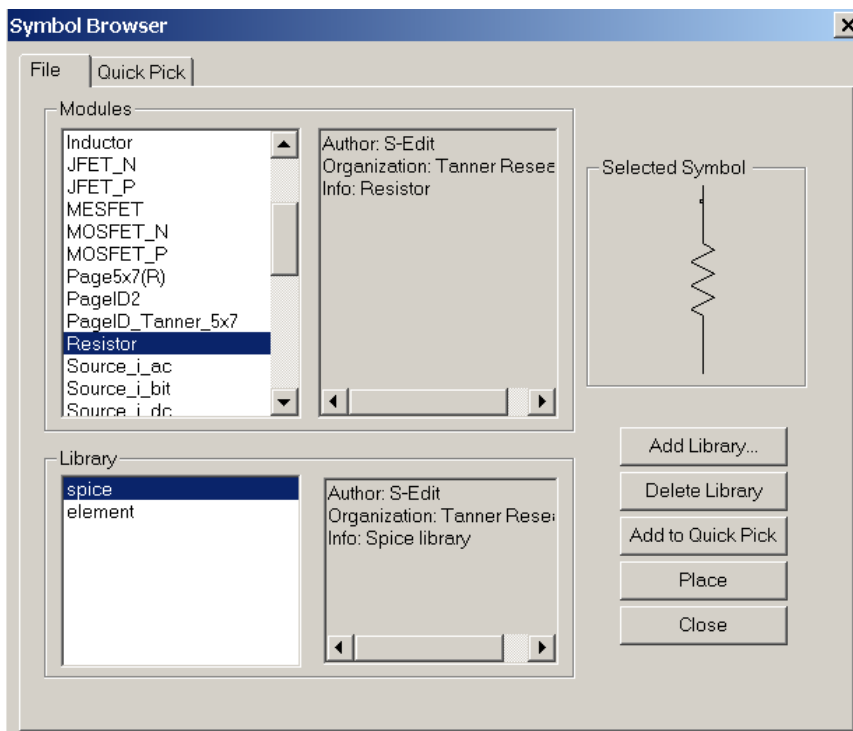



Построим ее с помощью T-Spice. Для этого надо запустить Sedit.exe. После запуска появится следующее окно:




Итак, начнем рисование схемы с размещения всех необходимых элементов (транзисторы, резисторы, источники напряжения и т.п.).

Разместим резистор. В верхней панели инструментов нажимаем кнопку . Появилось окно содержащее список элементов (Symbol Browser), выбираем **Resistor** и нажимаем Place.







В нашем рабочем окне появился резистор. Масштаб можно изменять клавишами “+” и ”-”, выделить элемент можно нажав в левой панели инструментов кнопку , передвигать элементы можно с помощью средней клавиши мышки или колесика, если ничего этого ваша мышка не

имеет, то можно передвигать выделенный объект при нажатии кнопки Alt. Задавать свойства элементов можно с помощью комбинации кнопок CTRL+E.




Теперь разместим биполярный транзистор. Для этого проделываем те же действия, что и в случае с резистором, только в списке элементов выбираем **VJT_NPN**. Элементы можно разворачивать с помощью кнопок  в верхней панели инструментов.

Добавим источник напряжения и землю в нашу схему. Теперь в списке элементов выбираем

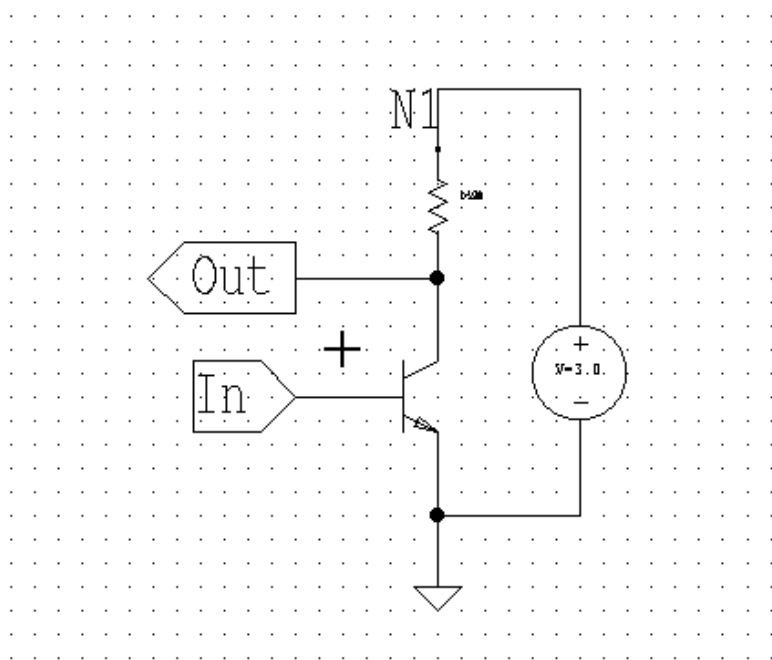
 Source_v_dc и  Gnd.


Теперь необходимо обозначить входы и выходы схемы с помощью элементов на левой панели инструментов  и  соответственно. При размещении этих элементов на нашей схеме появится окно, где нужно будет ввести имя и размер элемента. Вход назовем **In**, а выход **Out**.

Осталось соединить все наши элементы проводами и обозначить узлы.

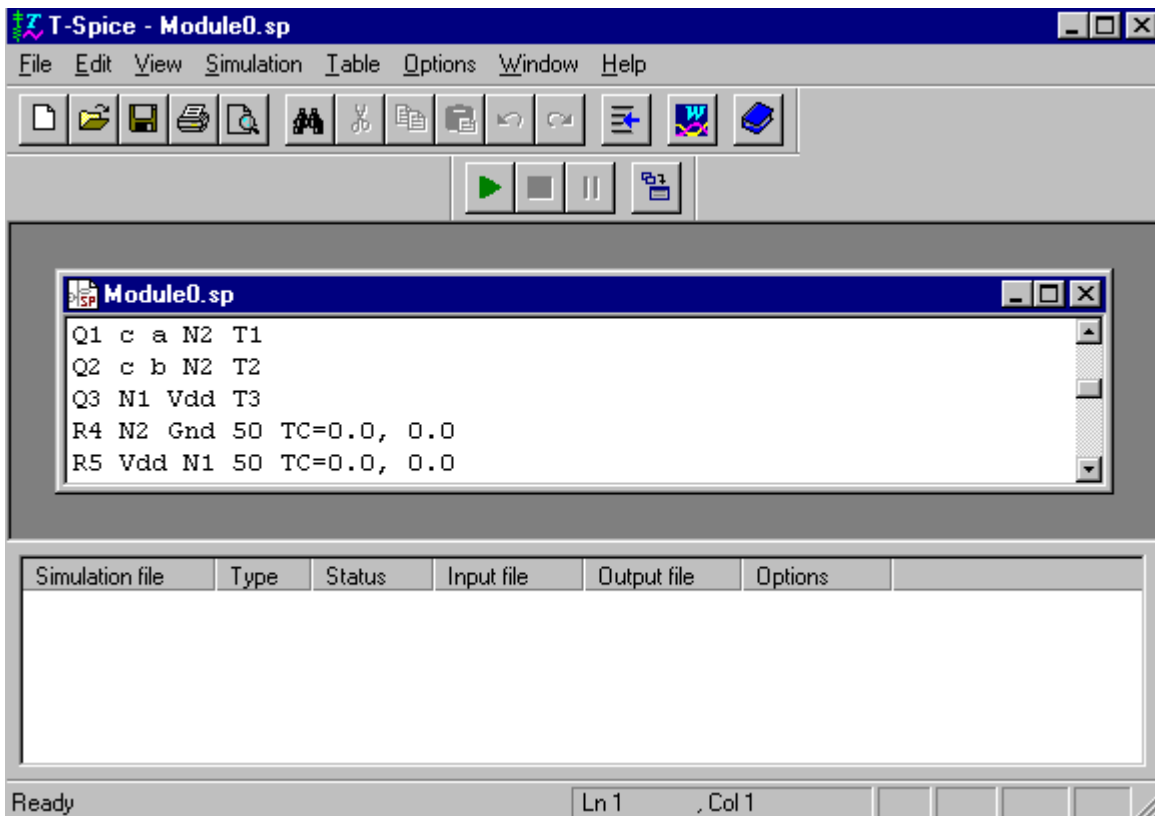
Чтобы соединить элементы используем кнопку  на левой панели инструментов. Теперь необходимо обозначить узлы (это потребуется в дальнейшей работе). На самом деле узлы уже обозначены самой программой, но нам они не видны. С помощью кнопки  определяем название всех узлов, а с помощью кнопки  обозначаем их.

Итак, в итоге должна получиться следующая схема:




Теперь нужно задать эту схему в wintsp32.exe, для этого нажимаем кнопку  в верхней панели инструментов.

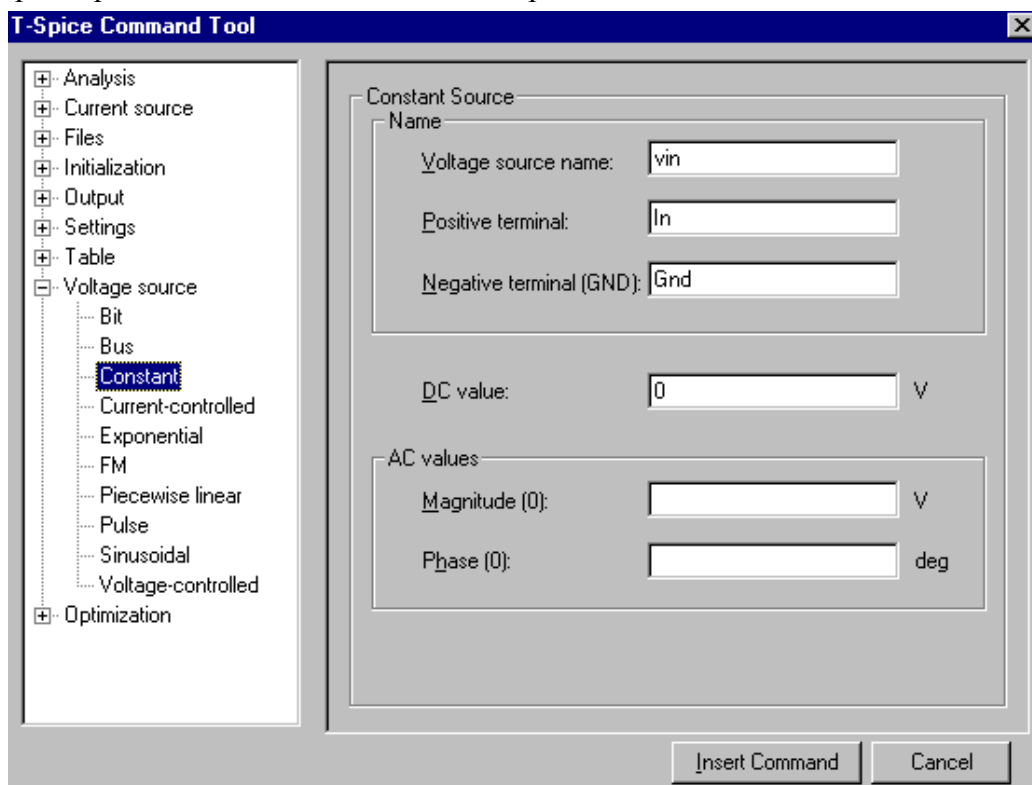
Появится следующее окно с заготовкой для дальнейшей работы:



В нем уже описано расположение наших транзисторов и резисторов (жирный шрифт), но для полного счастья этого маловато. По сути, в этом окне мы должны описать все, что может понадобиться, для изображения графиков (в нашем случае это передаточная и переходная характеристики). Для этого нужно задать некоторые элементарные команды. Вот готовый файл для нашей схемы (передаточная характеристика):

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 20, 1993 at 12:45:52
* Waveform probing commands
.probe
.options probefilename="File0.dat"
+ probesdbfile="File0.sdb"
+ probetopmodule="Module0"
* Main circuit: Module0
Q1 Out In Gnd T1
R2 N1 Out 1500 TC=0.0, 0.0
v3 N1 Gnd 3.0
vin In Gnd 0
* End of main circuit: Module0
.model T1 NPN()
.dc lin source vin 0 3 0.01
.print dc v(Out) v(In)
.end
```

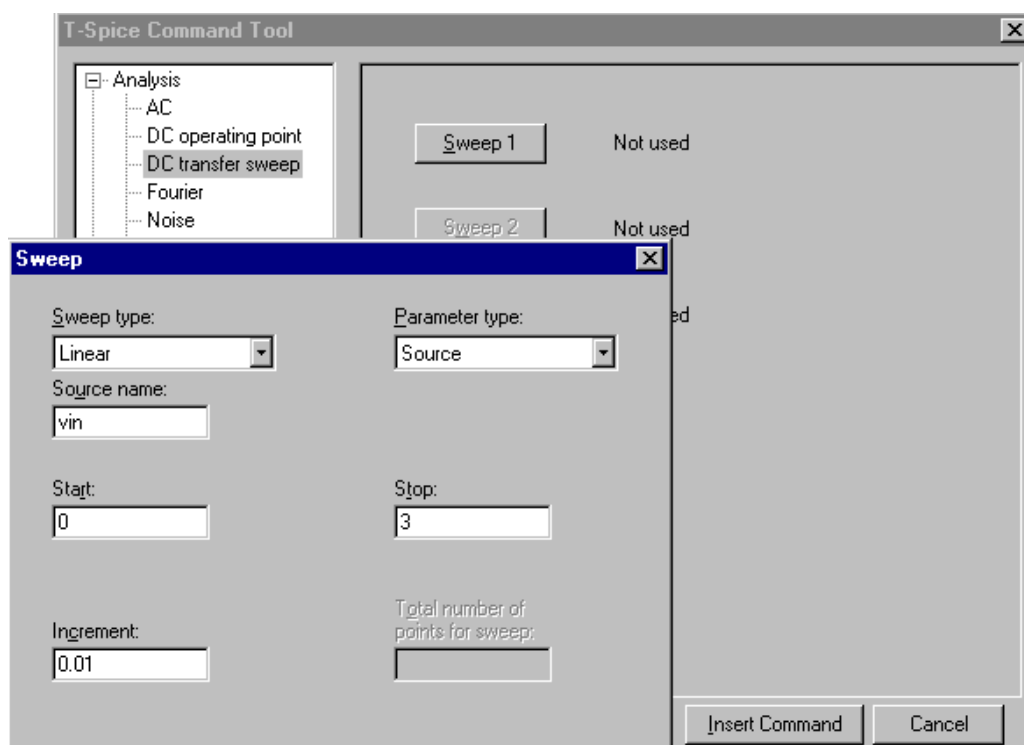
С помощью кнопки  на панели управления можно вставлять необходимые команды и задавать параметры схемы. Сначала опишем напряжение на входе.



После нажатия кнопки Insert Command в наш файл будет вставлена уже готовая строка:

vin In Gnd 0

Теперь нужно задать распределение той величины, которая будет отложена на нашем графике по оси X:



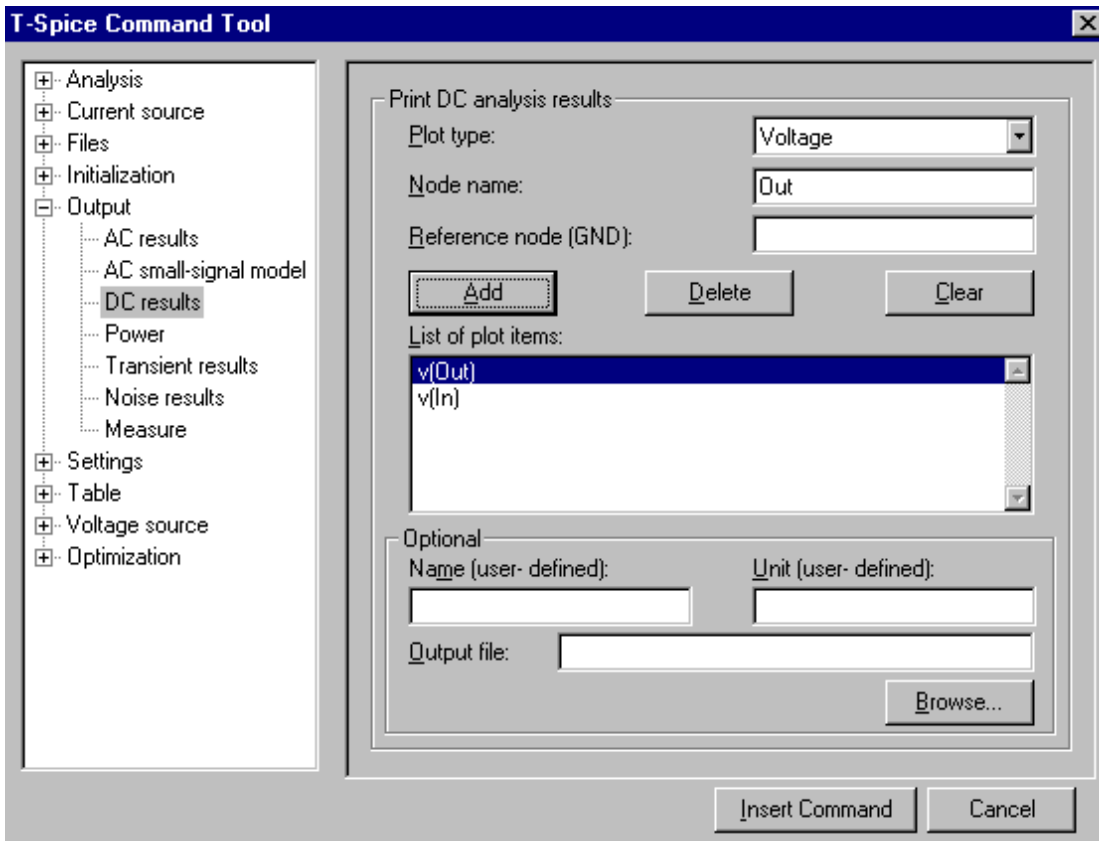
После нажатия кнопки Insert Command в наш файл будет вставлена уже готовая строка:

.dc lin source vin 0 3 0.01


Теперь опишем модель нашего транзистора:

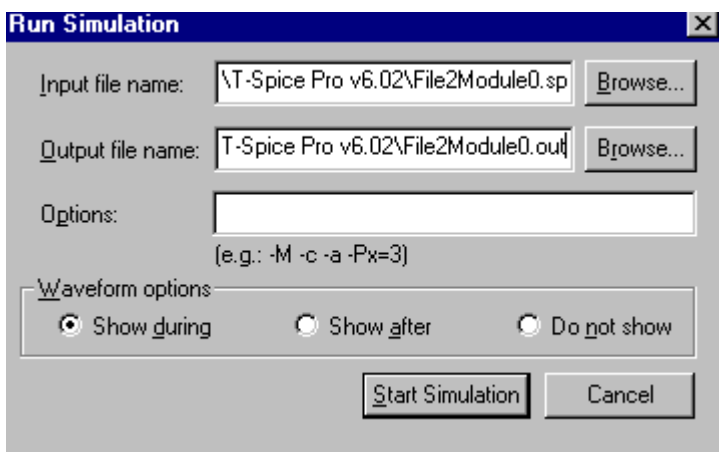
.model T1 NPN() - (Параметры здесь заданы по умолчанию)

Осталось вставить команду вывода результатов:



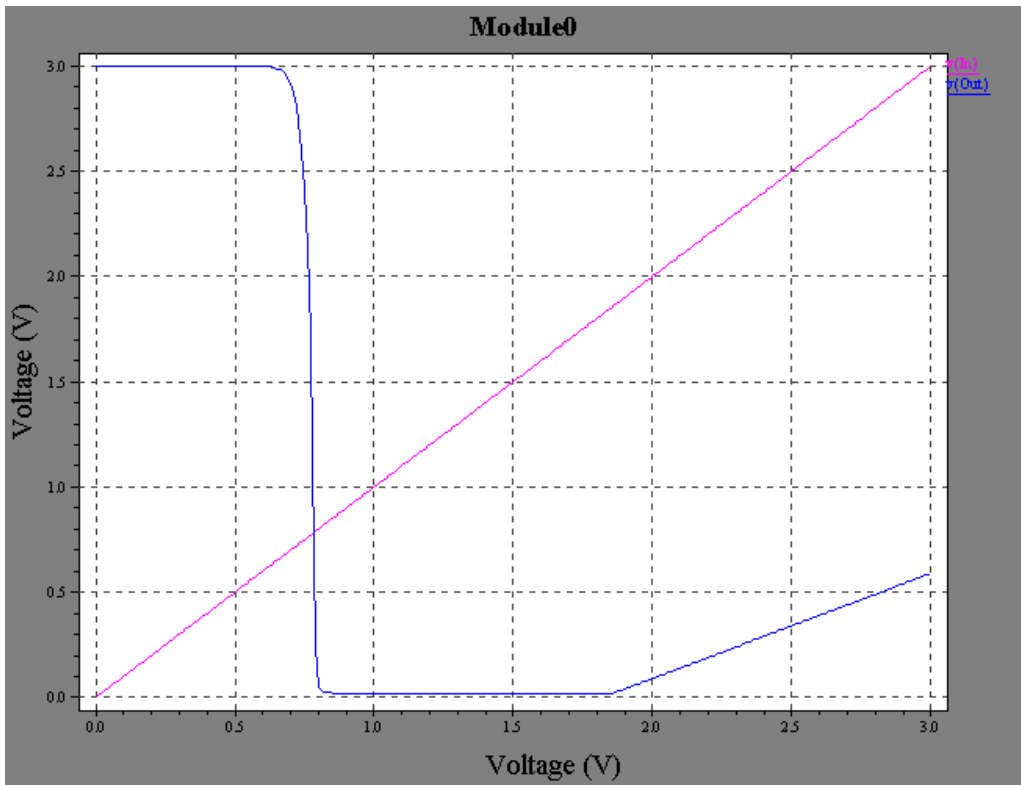
В поле Node name вписываем название тех узлов, в которых мы хотели бы видеть график напряжения. После нажатия кнопки Insert Command в наш файл будет вставлена уже готовая строка: **.print dc v(Out) v(In)**

В конце файла нужно дописать команду **.end** (завершение описания). Теперь мы можем посмотреть графики для этого нужно нажать кнопку . Появится следующее окно, где спрашивается об исходном и итоговом имени файла.



Нажимаем кнопку Start Simulation. В окне Simulation output отражается весь процесс симуляции, там же будут выведены сообщения об ошибках, если таковые найдутся.

Если ошибок нет, то график передаточной характеристики нашей схемы выглядит следующим образом:

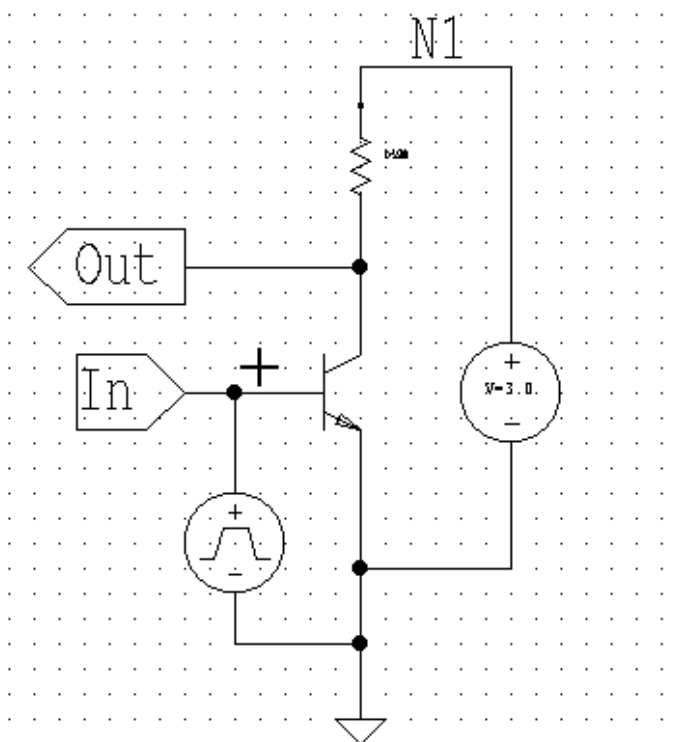


Чтобы получить переходную характеристику необходимо немного изменить схему.



Нужно ко входу подключить следующий элемент
В итоге получим:

(Source_v_pulse) из списка элементов.



Переведем схему в программу T-Spice. Получим:

* SPICE netlist written by S-Edit Win32 6.02

* Written on Apr 20, 1993 at 13:33:16

* Waveform probing commands

.probe

.options probefilename="File0.dat"

+ probesdbfile="File0.sdb"

+ probetopmodule="Module0"

* Main circuit: Module0

Q1 Out In Gnd T1

R2 N1 Out 1500 TC=0.0, 0.0

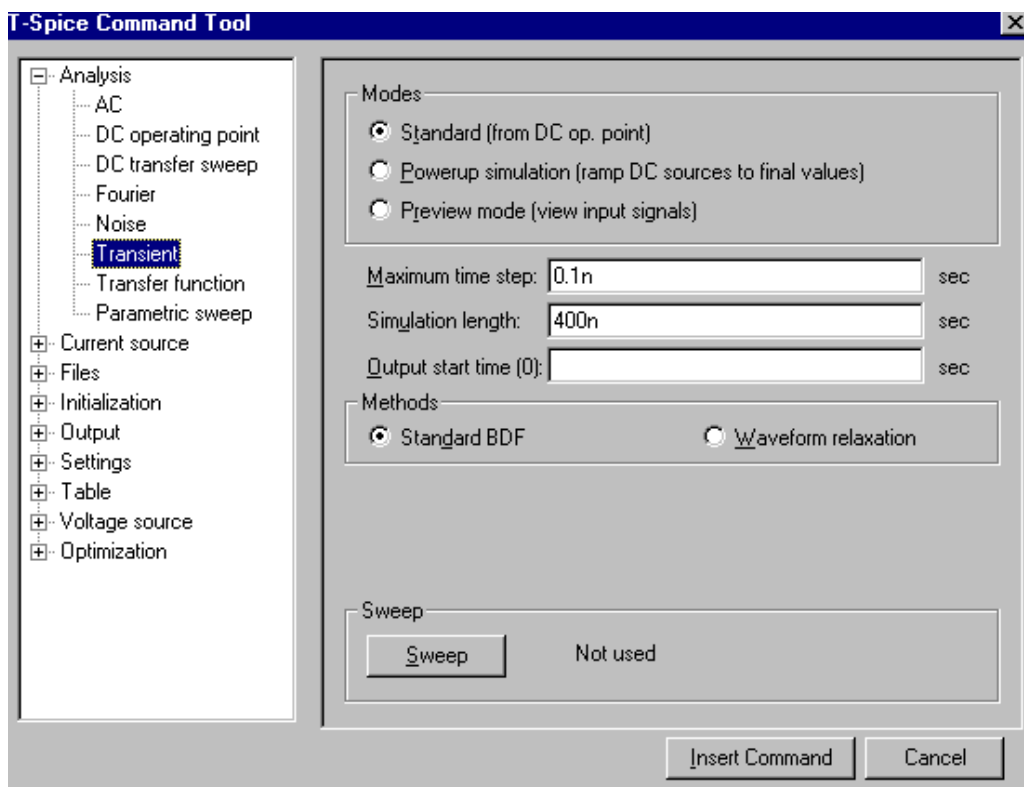
v3 N1 Gnd 3.0

v4 In Gnd pulse(0.0 1.7.0 0 10n 10n 100n 200n)

* End of main circuit: Module0

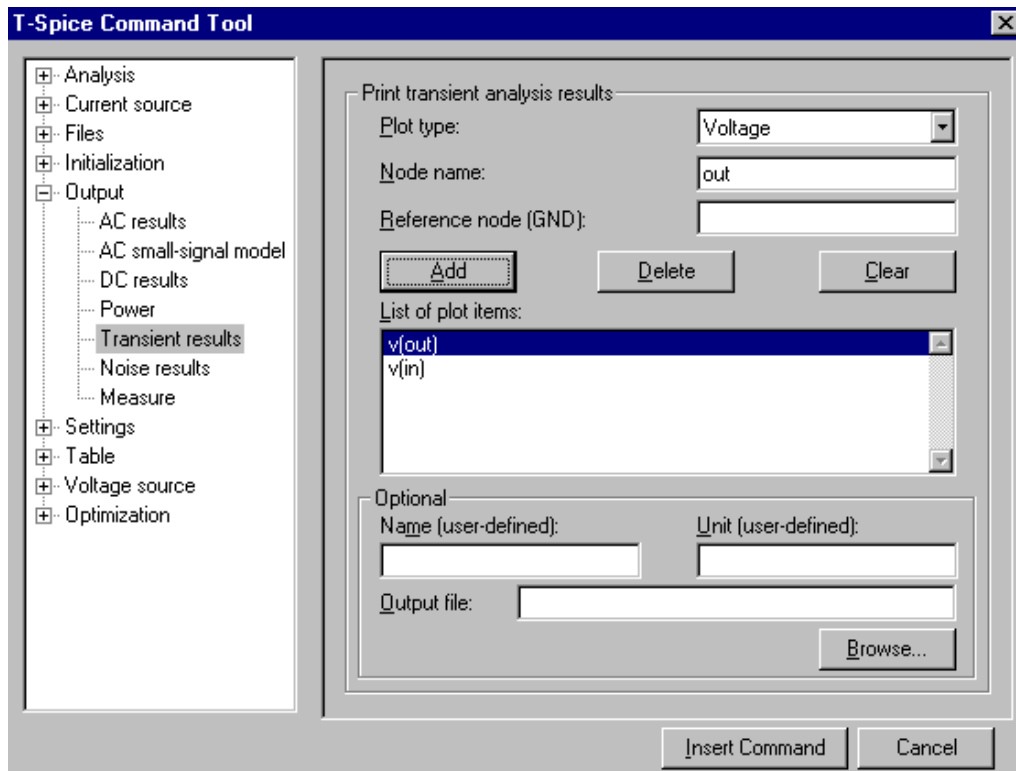
Добавим описание модели транзистора: .model T1 NPN()

Распределение величины времени по оси X:




.tran/op 0.1n 400n method=bdf

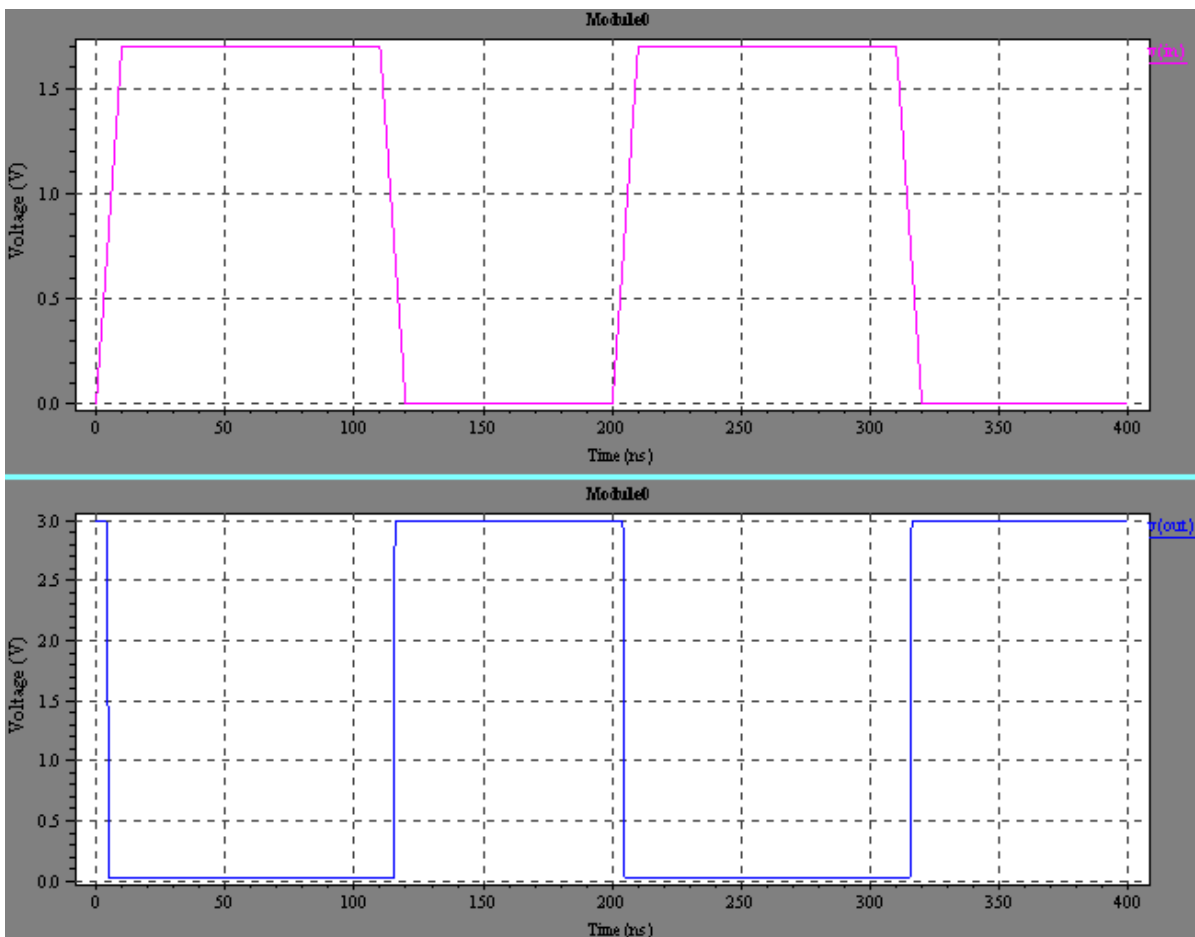
Вывод графика:



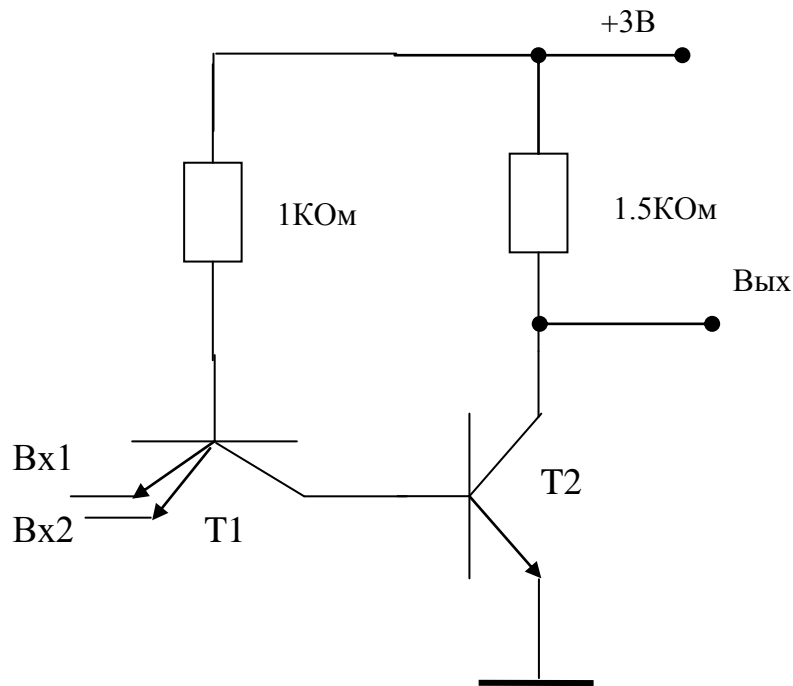
.print tran v(out) v(in)

И ,наконец, окончание файла: **.end**

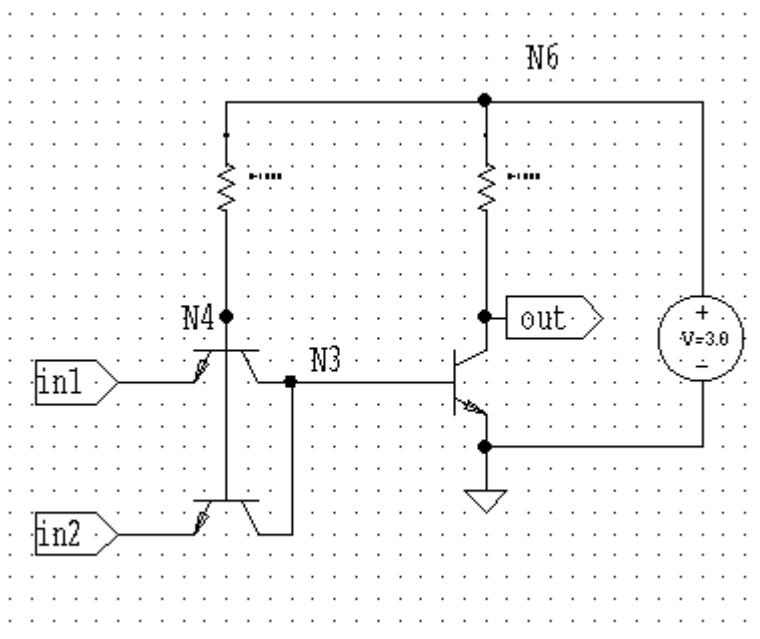
Если ошибок нет, то график переходной характеристики нашей схемы выглядит следующим образом (для того, чтобы разделить графики нажмите на кнопку Expand Charts ):



Разберем схему вентиля И-НЕ:



При построении такой в схемы в Sedit.exe возникает проблема построения транзистора с двумя входами. Эта проблема решается путем замены этого транзистора двумя идентичными транзисторами. Получим схему (для передаточной характеристики):



При переводе схемы в T-Spice получим следующий файл:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 20, 1993 at 14:52:31
* Waveform probing commands
.probe
.options probfilename="sedit.dat"
+ probesdbfile="2_1.sdb"
```

```

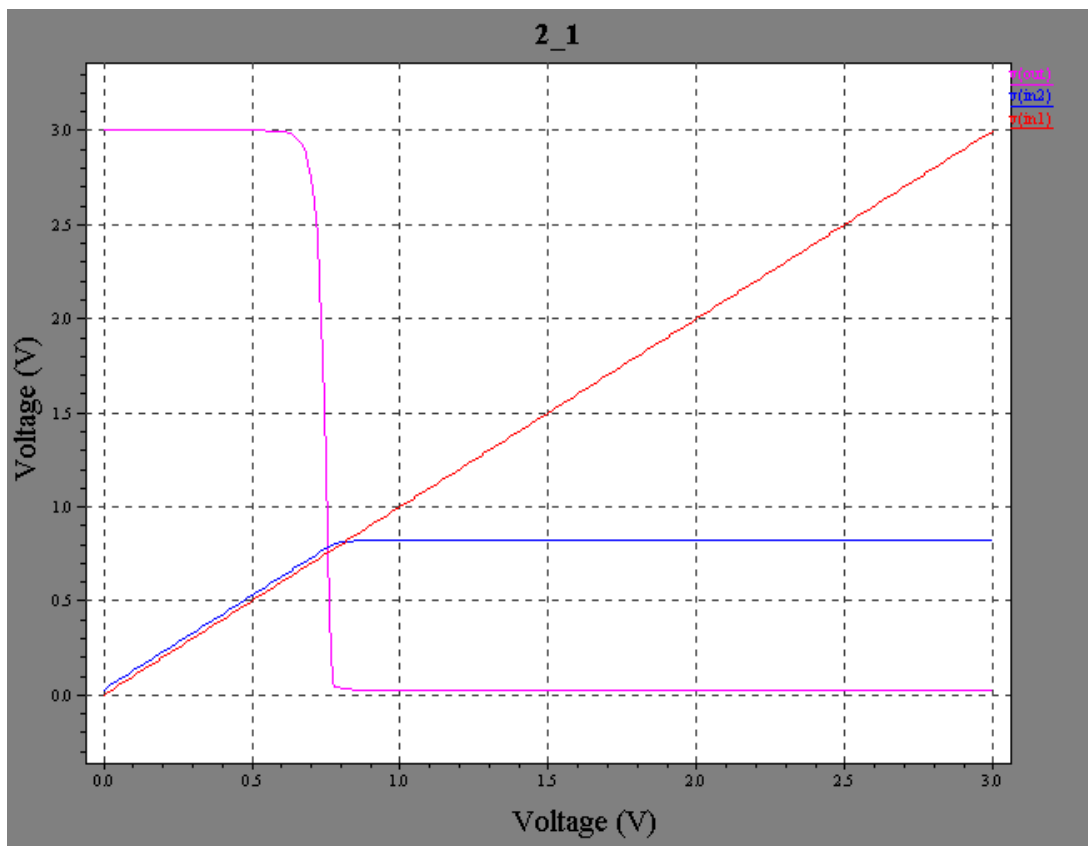
+ probetopmodule="Module0"
* Main circuit: Module0
Q1 N16 N3 In1 T1
Q2 N16 N3 In2 T2
Q3 out N16 Gnd T3
R4 N2 N3 1000 TC=0.0, 0.0
R5 N2 out 1500 TC=0.0, 0.0
v6 N2 Gnd 3.0
* End of main circuit: Module0

```

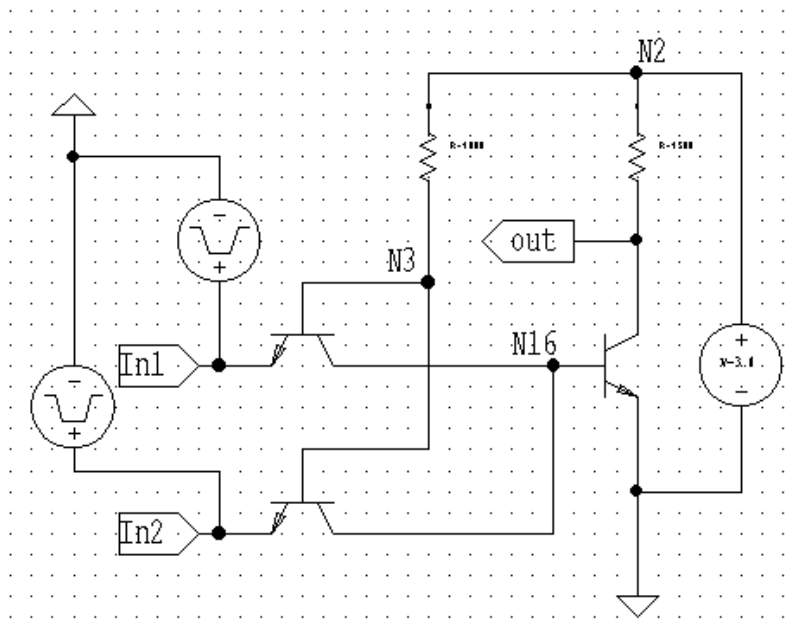
Теперь опишем:

- напряжение на первом входе: **vin1 in1 Gnd 0.0**
- модели трех транзисторов: **.model T1 NPN ()**
.model T2 NPN ()
.model T3 NPN ()
- распределение входного напряжения по оси X:
.dc lin source vin1 0 3 0.01
- вывод графика: **.print dc v(in1) v(in2) v(out)**
- окончание описания: **.end**

Если ошибок нет, то график передаточной характеристики нашей схемы выглядит следующим образом:



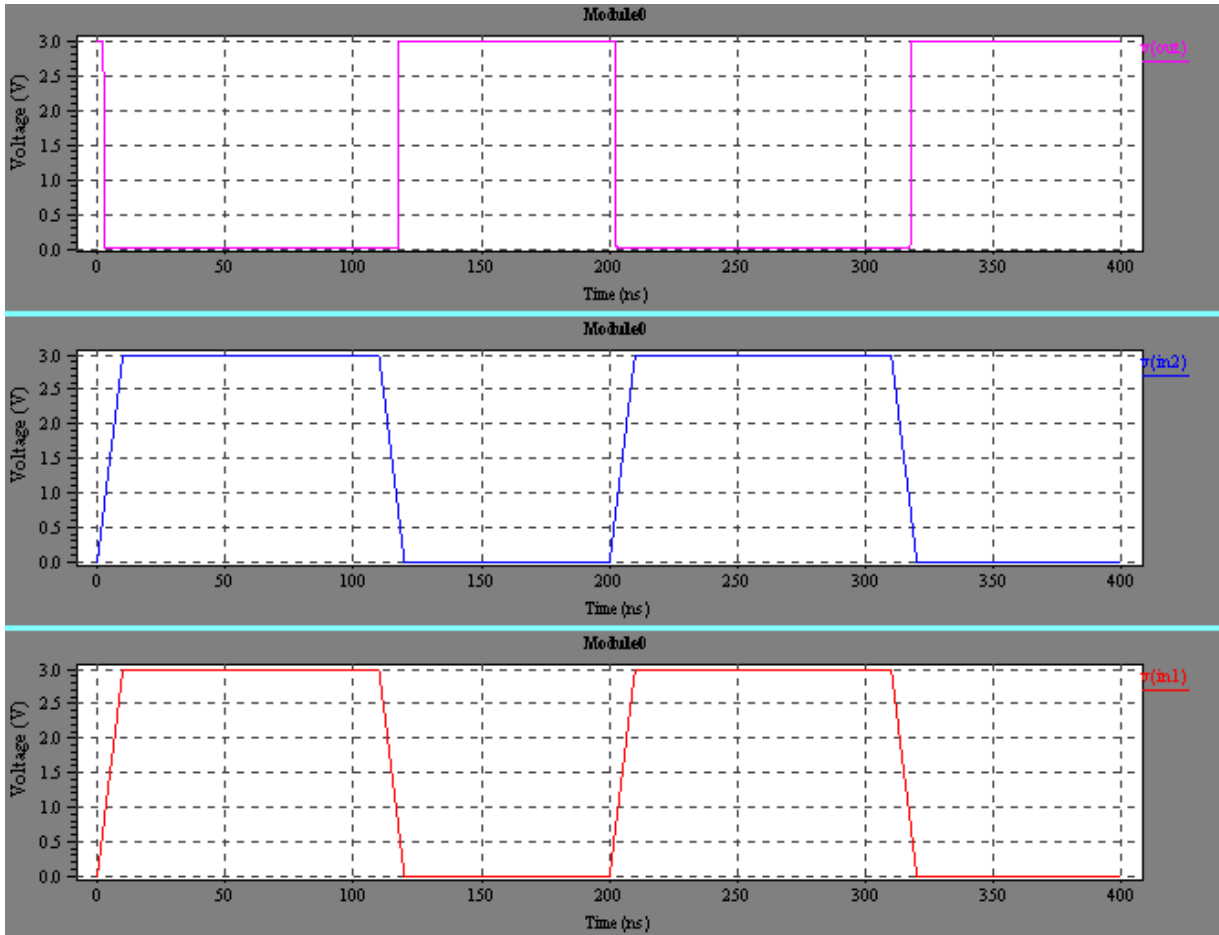
Теперь немного подкорректируем схему для построения переходной характеристики:



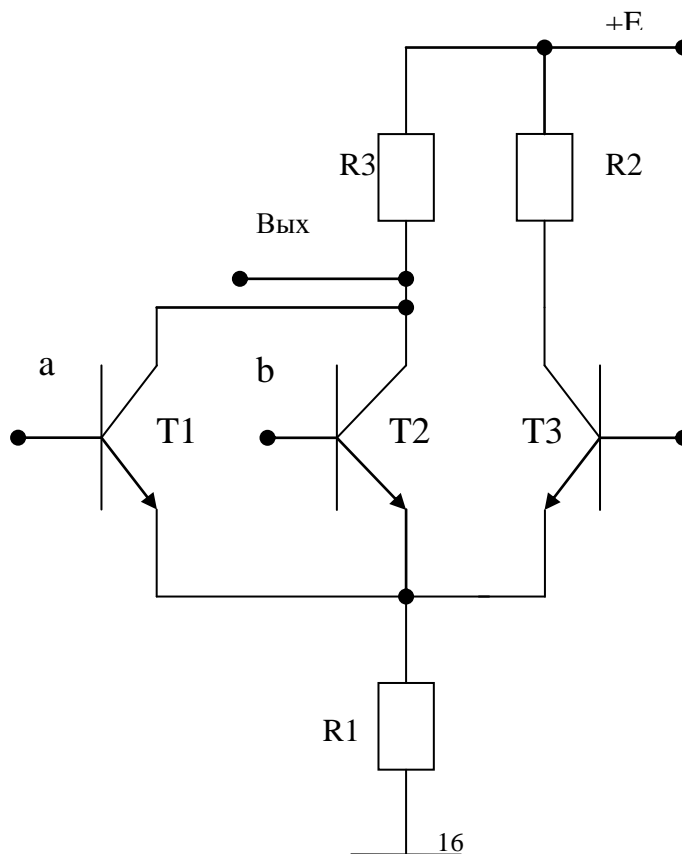
При переводе схемы в T-Spice и небольшой корректировки получим следующий файл:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 20, 1993 at 17:19:02
* Waveform probing commands
.probe
.options probefilename="sedit.dat"
+ probesdbfile="C:\WINDOWS\Desktop\T-Spice Pro v6.02\library\2_1.sdb"
+ probetopmodule="Module0"
* Main circuit: Module0
Q1 N16 N3 In1 T1
Q2 N16 N3 In2 T2
Q3 out N16 Gnd T3
R4 N2 N3 1000 TC=0.0, 0.0
R5 N2 out 1500 TC=0.0, 0.0
v6 N2 Gnd 3.0
v7 In2 Gnd pulse(0.0 3.0 0 10n 10n 100n 200n)
v8 In1 Gnd pulse(0.0 3.0 0 10n 10n 100n 200n)
* End of main circuit: Module0
.model T1 NPN ()
.model T2 NPN ()
.model T3 NPN ()
.tran/op 0.1n 400n method=bdf
.print tran v(in1) v(in2) v(out)
.end
```

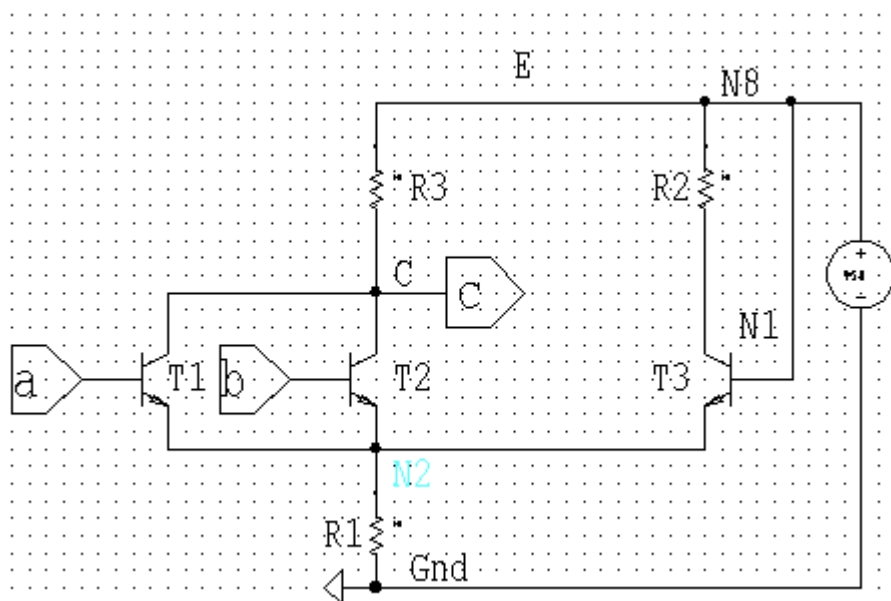
Если ошибок нет, то график переходной характеристики нашей схемы выглядит следующим образом:



Разберем схему вентиля ИЛИ-НЕ:



После построения этой схемы в sedit.exe получим следующую схему:



При переводе схемы в T-Spice получим следующий файл:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 13, 1993 at 18:43:38
* Waveform probing commands
.probe
.options probefilename="File2.dat"
+ probesdbfile="C:\WINDOWS\Desktop\T-Spice Pro v6.02\File2.sdb"
+ probetopmodule="Module0"
* Main circuit: Module0
Q1 c a N2 T1
Q2 c b N2 T2
Q3 N1 N8 N2 T3

R4 N2 Gnd 50 TC=0.0, 0.0
R5 N8 N1 50 TC=0.0, 0.0
R6 N8 c 50 TC=0.0, 0.0

v7 N8 Gnd 5.0
*Va a Gnd 0V
*Vb b Gnd 0V
Vc c Gnd 0V

Ia Gnd a 30u
Ib Gnd b 30u

* End of main circuit: Module0
.model T1 NPN()
.model T2 NPN()
.model T3 NPN()
.DC lin source Vc 0 5 0.02
*.DC lin source Va 0 5 0.01
.print dc Ic(q2)Ib(q1)
*.print dc v(c)v(a)v(b)
.end
```

Поясним все ключевые моменты:

Символ “ * ” ставится перед той строкой, которая не должна выполняться, т.е. перед комментариями. Сложность состоит в том, что нам нужно получить два графика, и в зависимости от выходного результата будет меняться и содержание вышепоказанного кода. Можно создавать два разных файла, а можно, в зависимости от ситуации, скрывать или показывать те или иные строчки кода (с помощью “ * ”). В нашем случае чтобы получить выходную характеристику мы скрываем:

```
*Va a Gnd 0V
*Vb b Gnd 0V
*.DC lin source Va 0 5 0.01
*.print dc v(c)v(a)v(b)
```

показываем:

```
Vc c Gnd 0V
.DC lin source Vc 0 5 0.02
.print dc Ic(q2)Ib(q1)
```

Чтобы получить передаточную характеристику выполняем те же действия с точностью до наоборот.

Если ошибок нет, то график выходной характеристики нашей схемы выглядит следующим образом:

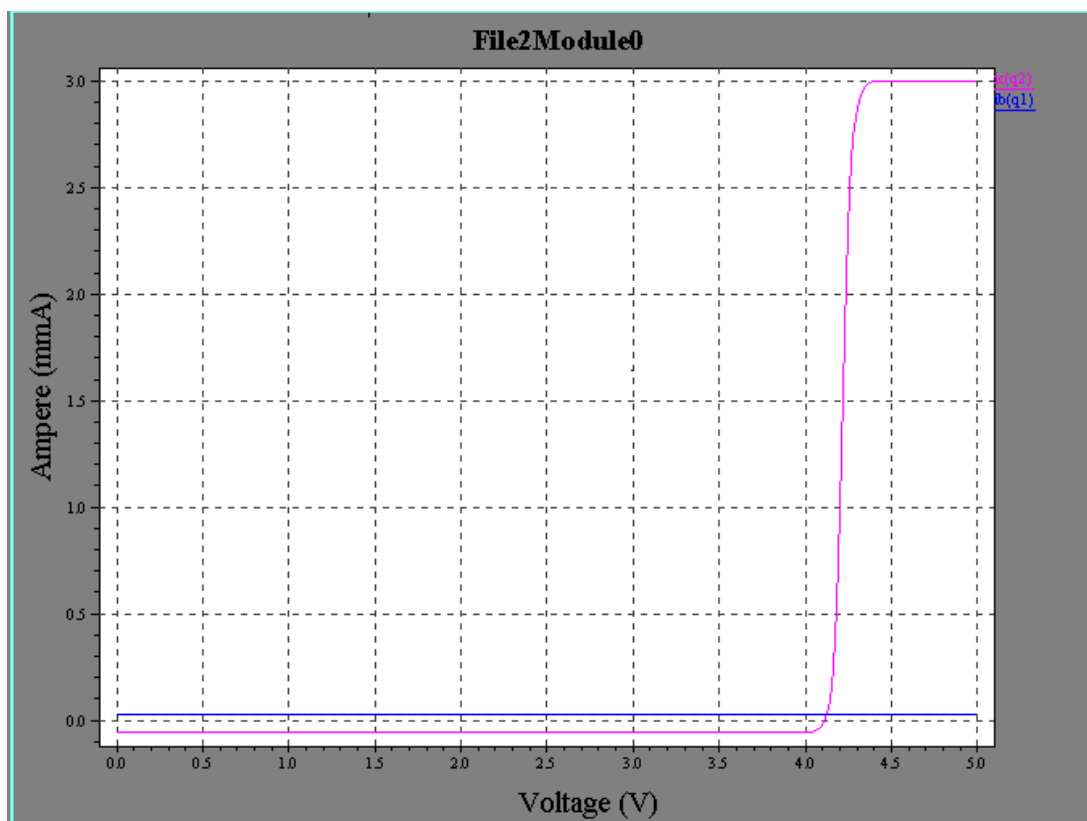
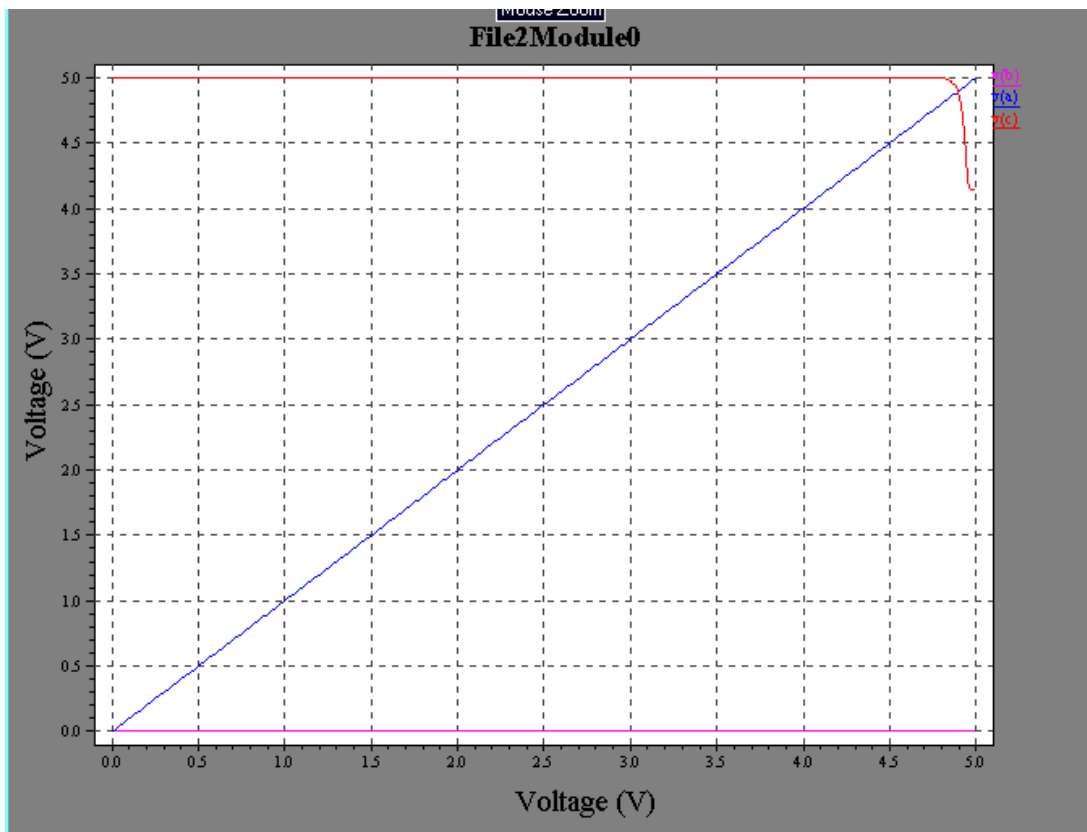


График передаточной характеристики нашей схемы выглядит следующим образом:



Но при построении этих графиков мы использовали те параметры транзисторов, которые задает сама программа по умолчанию, теперь покажем графики со специально подобранными параметрами транзисторов:

.model T1 NPN(Is=1.73e-12 Bf=150 Vaf=49,35 Nf=1.07 Rb=324.82 Rc=17,568)

.model T2 NPN(Is=1.73e-12 Bf=150 Vaf=49,35 Nf=1.07 Rb=324.82 Rc=17,568)

.model T3 NPN(Is=1.73e-12 Bf=150 Vaf=49,35 Nf=1.07 Rb=324.82 Rc=17,568)

График выходной характеристики:

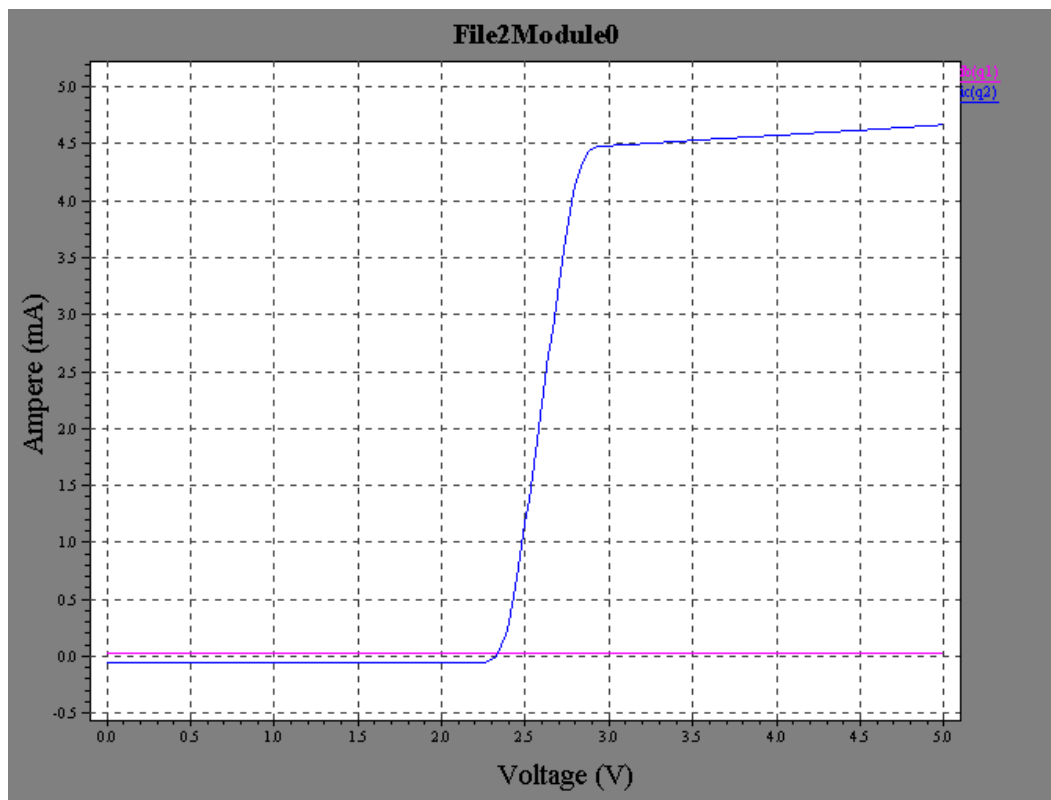
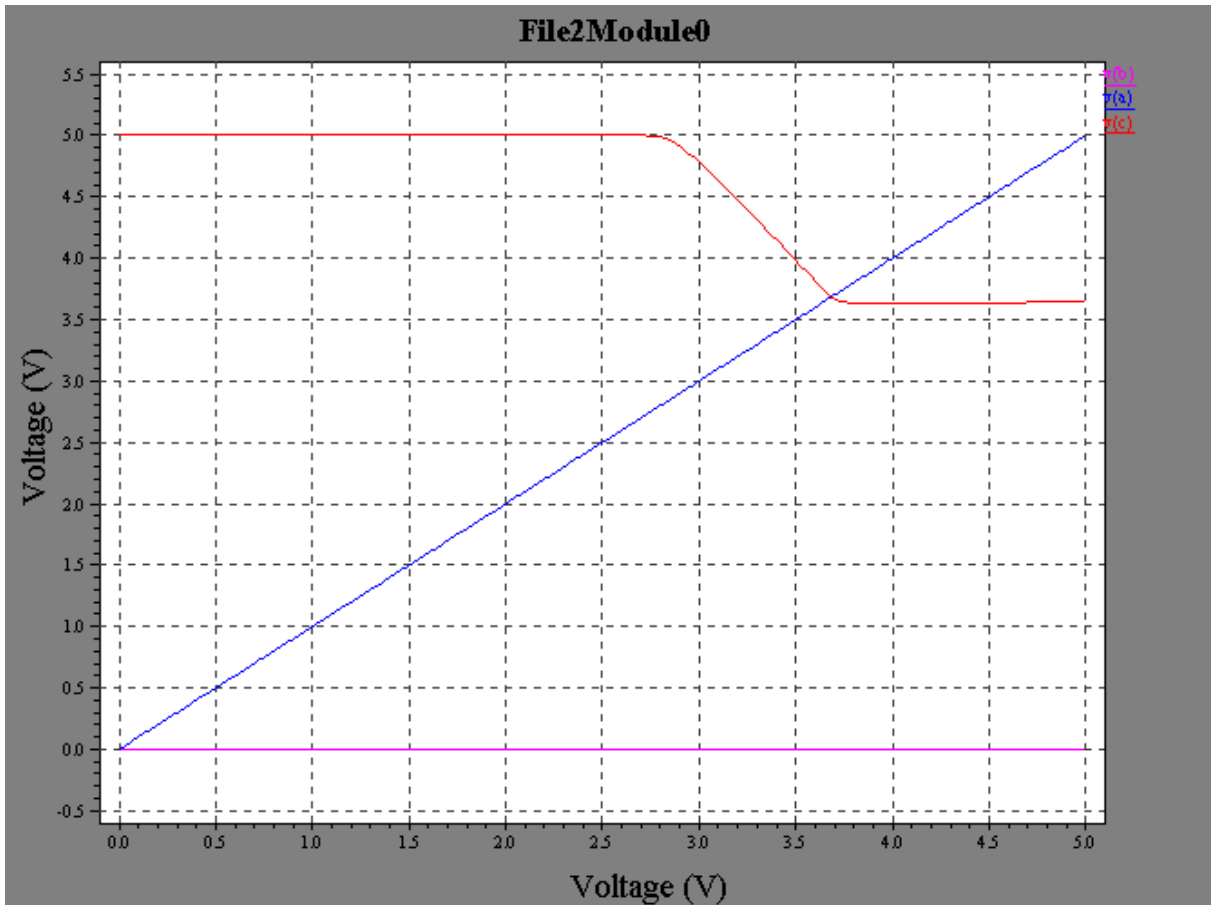


График передаточной характеристики:




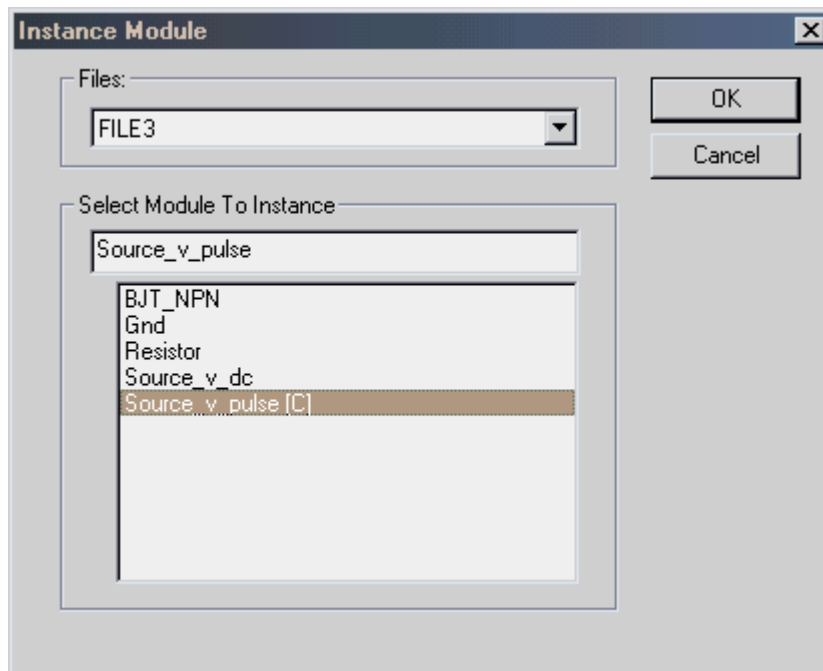
Параметры биполярного транзистора:

- I_s - ток насыщения (А);
- β_f - коэффициент неидеальности в прямом включении;
- β_r - коэффициент усиления тока базы в прямом включении;
- V_{af} - напряжение Эрли в прямом включении (В);
- R_b - сопротивление базы транзистора (Ом);
- R_c - сопротивление коллектора транзистора (Ом);

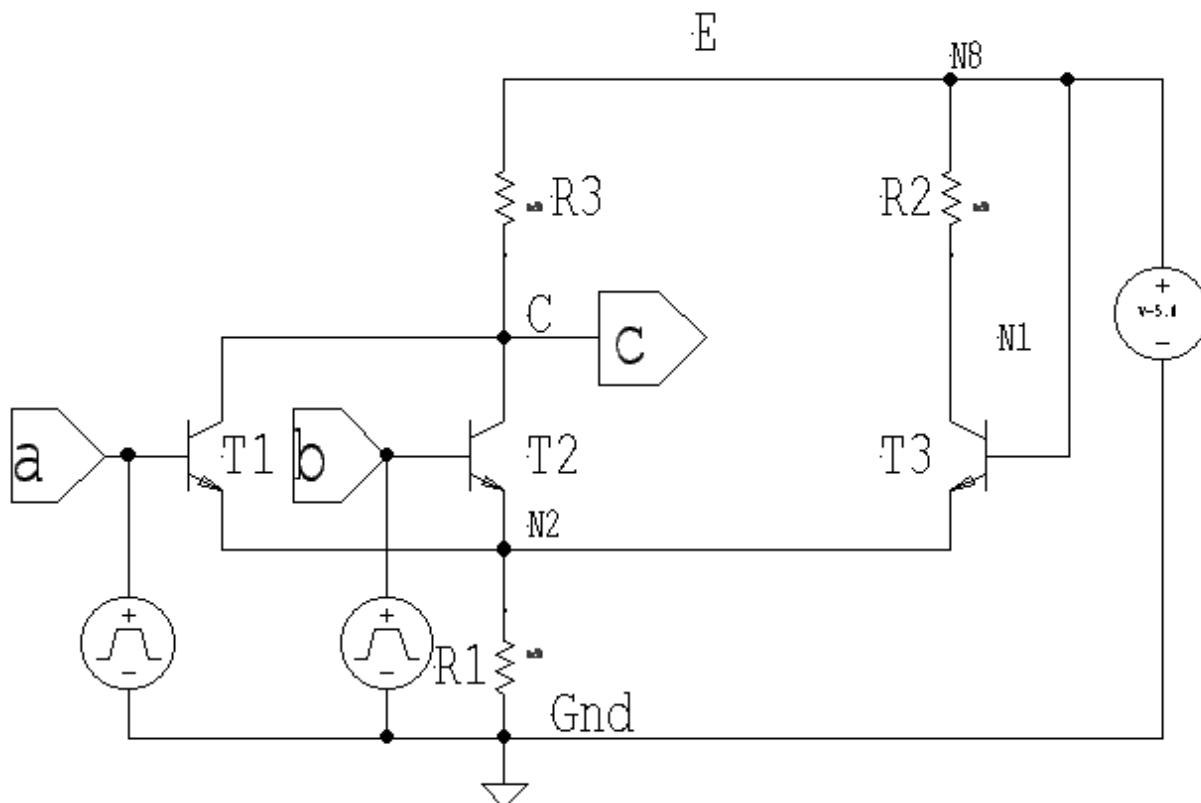
Построим переходную характеристику. Для построения такой характеристики необходимо в окне Symbol Browser выбрать Source_v_pulse и подключить его плюсом к входу а, минусом – к земле. Это импульсный источник напряжения. (V изменяется со временем)



Для установки второго источника напряжения воспользуемся кнопкой Module Instance . После нажатия на неё необходимо выбрать место, где будет размещаться новый элемент и нажать левую кнопку мыши. В появившемся диалоговом окне выберем Source_v_pulse (C) и нажмем ОК.



После соединения всех узлов получится следующая схема:



Теперь необходимо перевести схему в T-Spice.
Содержимое файла Module0.dat:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 14, 2004 at 10:20:38
```

```
* Waveform probing commands
```

```
.probe
```

```
.options probefilename="File3.dat"
```

```
+ probesdbfile=" C:\WINDOWS\Desktop\T-Spice Pro v6.02\FILE3.sdb"
```

```
+ probetopmodule="Module0"
```

```

* Main circuit: Module0
Q1 c a N1 NPN area=1
Q2 c b N1 NPN area=1
Q3 N3 N4 N1 NPN area=1
R4 N1 Gnd 50 TC=0.0, 0.0
R5 N3 N4 50 TC=0.0, 0.0
R6 c N4 50 TC=0.0, 0.0
v7 N4 Gnd 5.0
v8 b Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v9 a Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
* End of main circuit: Module0

```

У импульсных источников напряжения 7 параметров:

Pulse (Vi Vp [D [Tr [Tf [Pw [Pp]]]]) [Round=R]

Vi начальное напряжение (В);

Vp максимальное напряжение (В);

Tr начальная задержка;

Tf длина положительного фронта или время подъёма (сек);

Tf длина отрицательного фронта или длина спуска (сек);

Pw ширина импульса;

Pp период импульса;

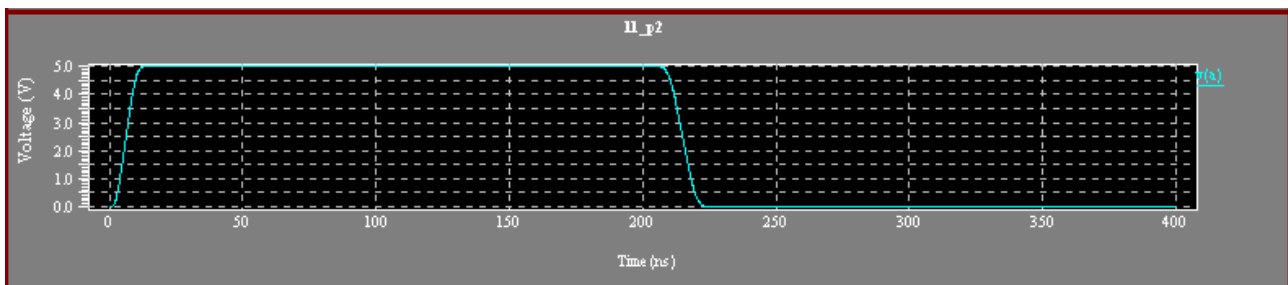
R- сглаживание(Край во время T скругляется дифференцируемым полиномом в интервале (T-R; T+R). Максимальное R - половина длины фронта.)

Для v9 изменим ширину импульса на 200n(наносекунд), а период – на 400n.

Пример:

Максимальная величина для сглаживания 0.5 (половина длины фронта). Описание импульсного источника напряжения на входе a выглядит так:

```
v9 a Gnd pulse(0.0 5.0 0 10n 10n 200n 400n) round=0.5
```




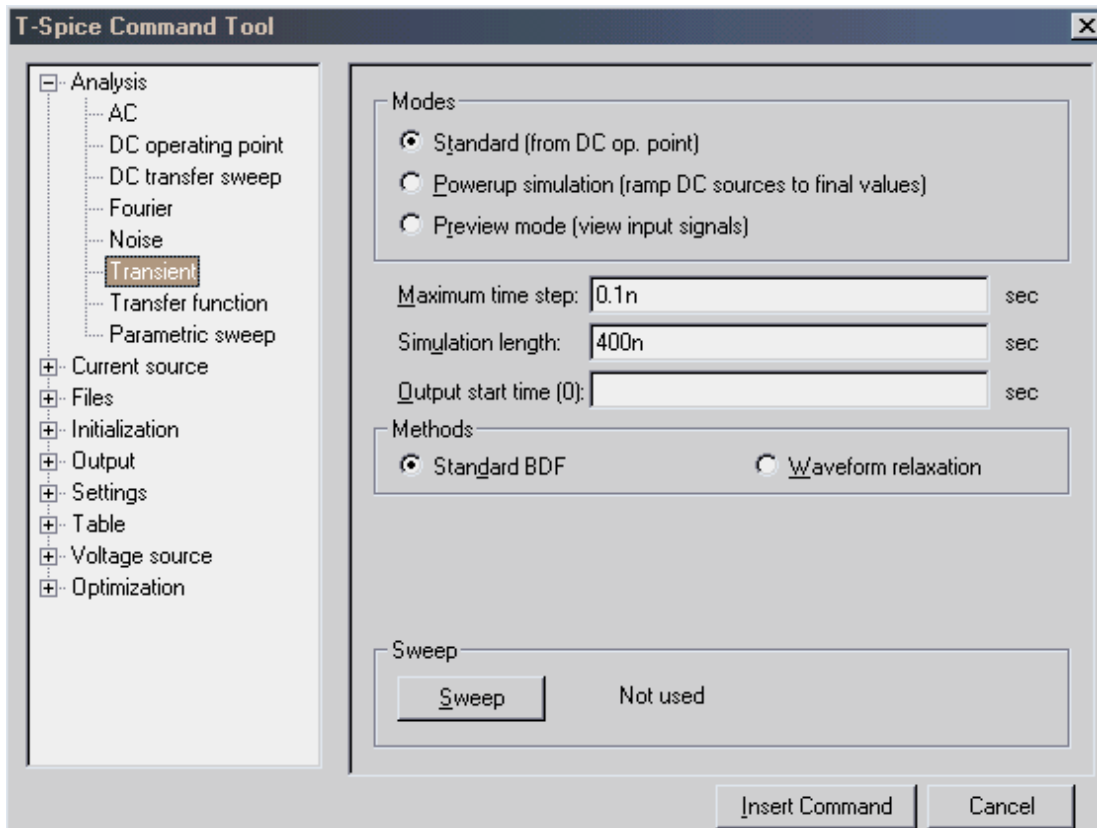
На графике видно, что углы сглажены.

Создадим модель для транзисторов:


```
.model NPN NPN()
```

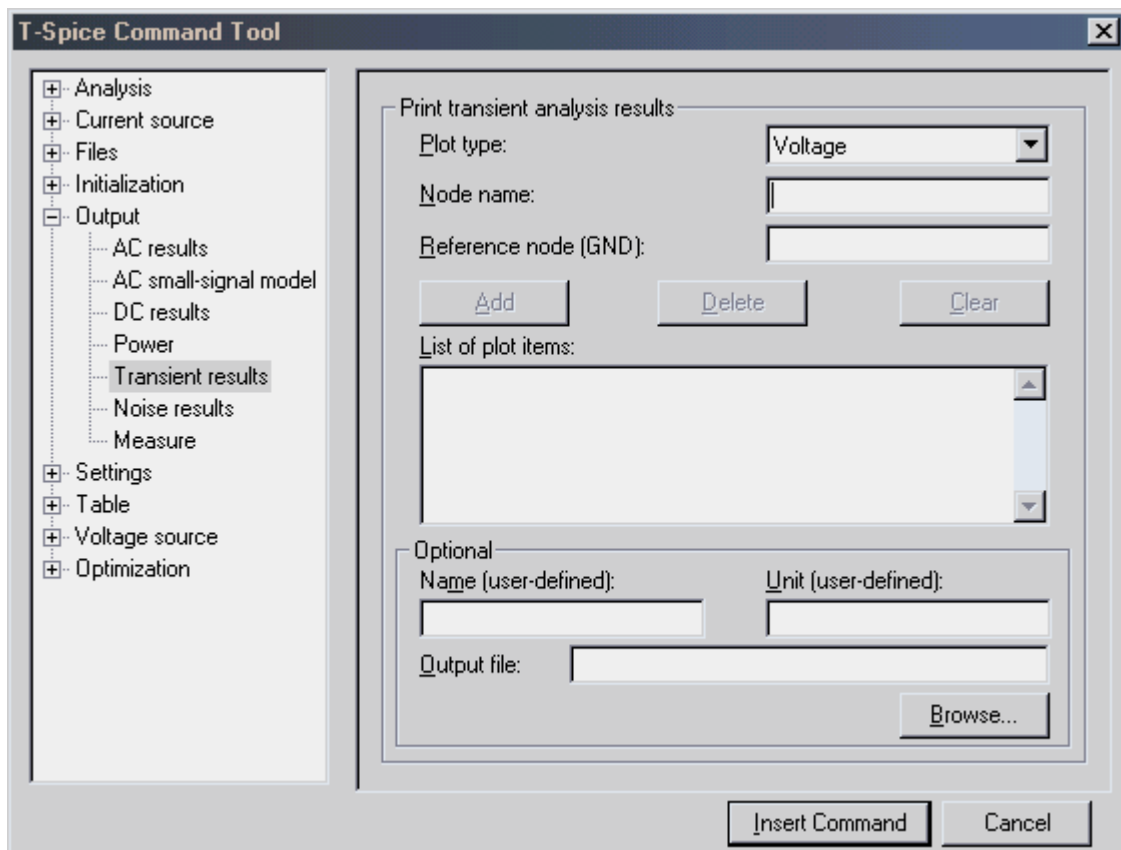
Для того, чтобы указать длину временной прямой, надо войти в меню Edit->Insert Comand либо

нажать на кнопку . Выбрать Analysis->Transient. Максимальный шаг – 0.1n(нано секунд), длительность моделирования – 400n(нано секунд).

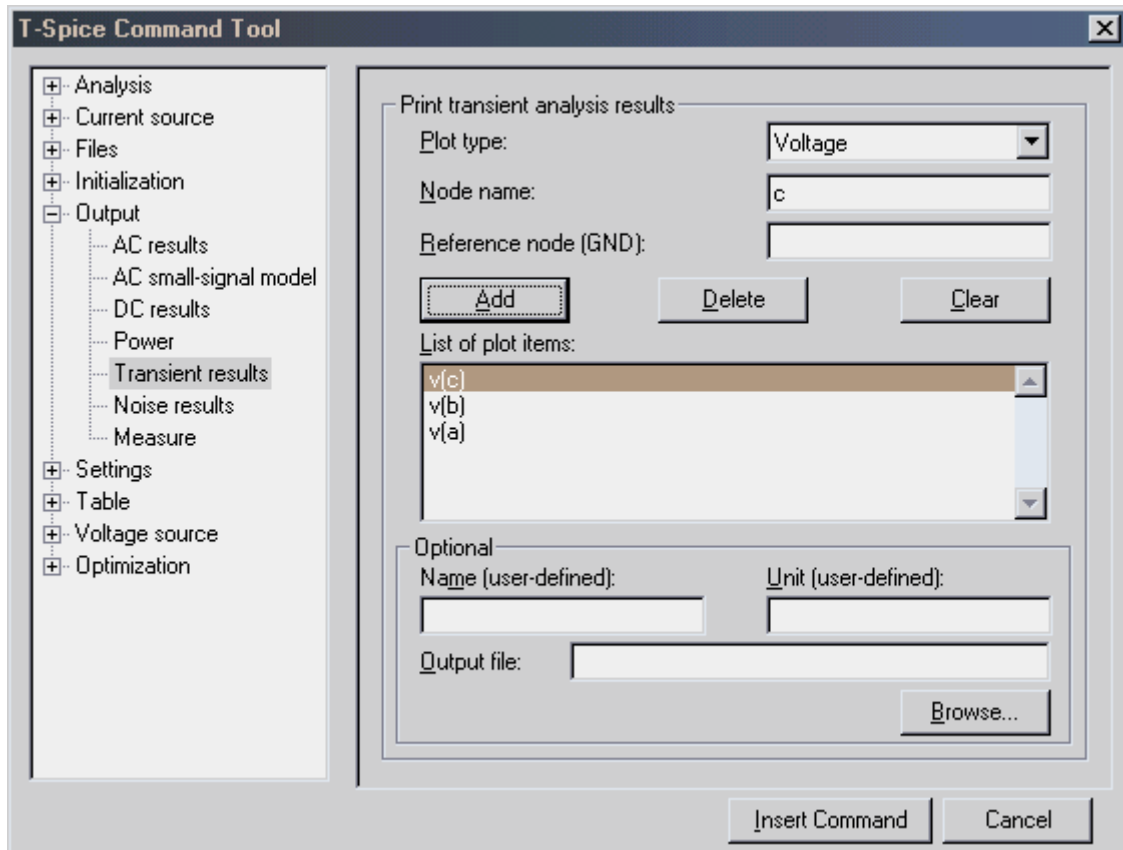


.tran/op 0.1n 400n method=bdf

Для вывода переходной характеристики необходимо войти в диалоговое окно Insert Comand . И выбрать в дереве пункт Output->Transient Results. В поле Plot Type должно быть выбрано Voltage (т.к. нам необходимо анализировать напряжение).



В поле Node Name надо ввести название узла, с которого необходимо снять напряжение, и нажать кнопку Add. В нашем случае это необходимо проделать с узлами a, b, c.



Кнопкой Delete можно удалять выделенную запись, а кнопкой Clear удалять весь список (List of plot items). В поле Output file можно ввести имя файла, в который будут сохраняться графики. Нажмите кнопку Insert Comand и в программе появится следующая строка:
.print tran v(a) v(b) v(c). (результаты работы программы выведутся в W-edit в виде графиков напряжений на узлах a, b, c).

В результате получаем:

файл Module0.dat:

* SPICE netlist written by S-Edit Win32 6.02

* Written on Apr 14, 2004 at 10:20:38

* Waveform probing commands

.probe

.options probefilename="File3.dat"

+ probesdbfile=" C:\WINDOWS\Desktop\T-Spice Pro v6.02\FILE3.sdb"

+ probetopmodule="Module0"

* Main circuit: Module0

Q1 c a N1 NPN area=1

Q2 c b N1 NPN area=1

Q3 N3 N4 N1 NPN area=1

R4 N1 Gnd 50 TC=0.0, 0.0

R5 N3 N4 50 TC=0.0, 0.0

R6 c N4 50 TC=0.0, 0.0

v7 N4 Gnd 5.0

;.print tran v(a) v(b)

v8 b Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)

v9 a Gnd pulse(0.0 5.0 0 10n 10n 200n 400n)

* End of main circuit: Module0


```

.model NPN NPN()
.tran/op 0.1n 400n method=bdf
.print tran v(a) v(b) v(c)
.end

```

Теперь можно рассчитать схему:

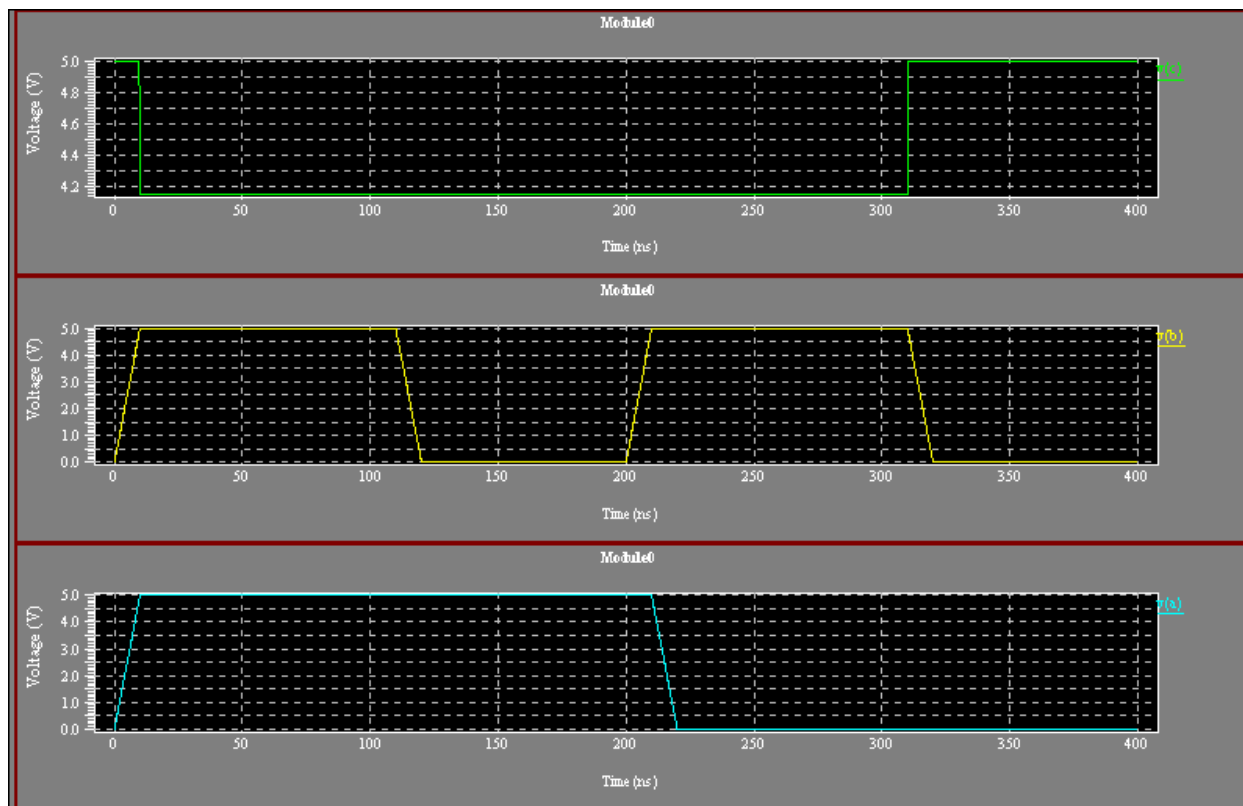


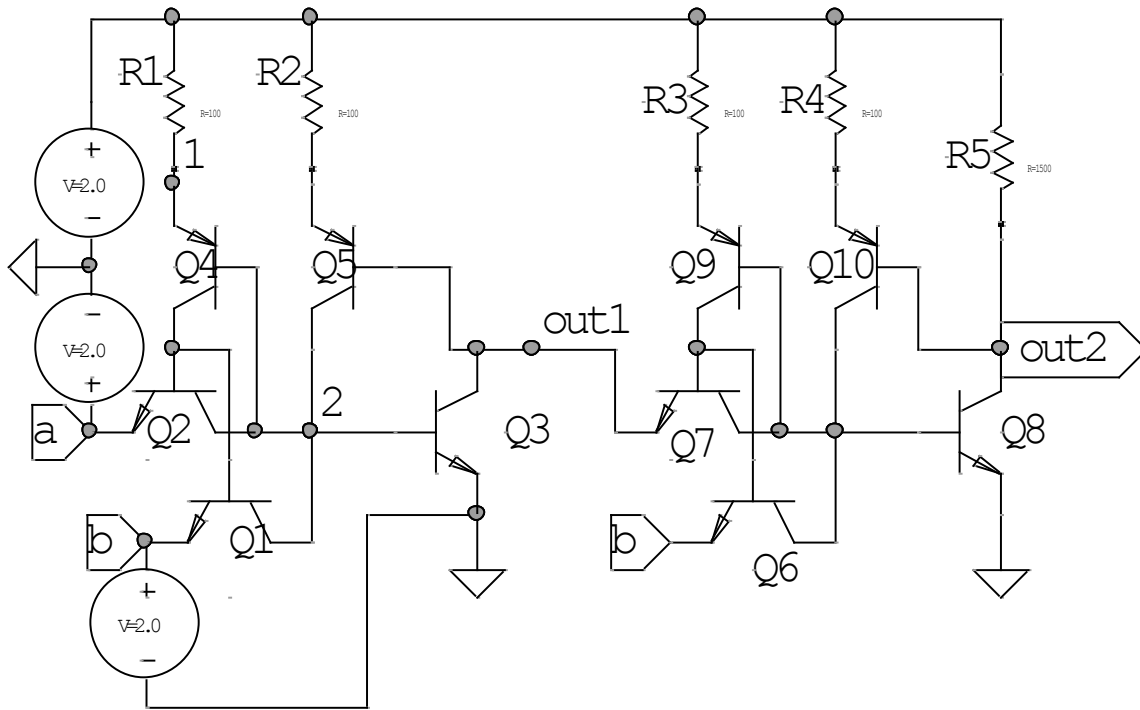
Таблица истинности:

V(a)	V(b)	V(c)
0	0	1
0	1	0
1	0	0
1	1	0

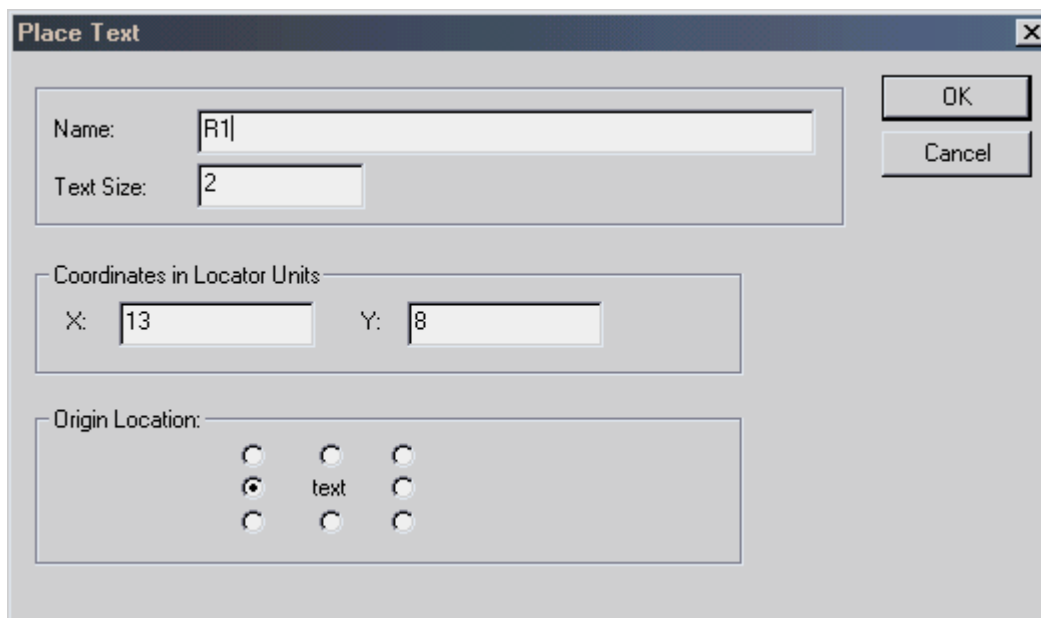
Рассмотрим последнюю транзисторную схему (в ней присутствуют NPN и PNP-транзисторы)


S-Edit


Нарисуйте в программе S-Edit следующую схему, используя Symbol browser (модуль spice):

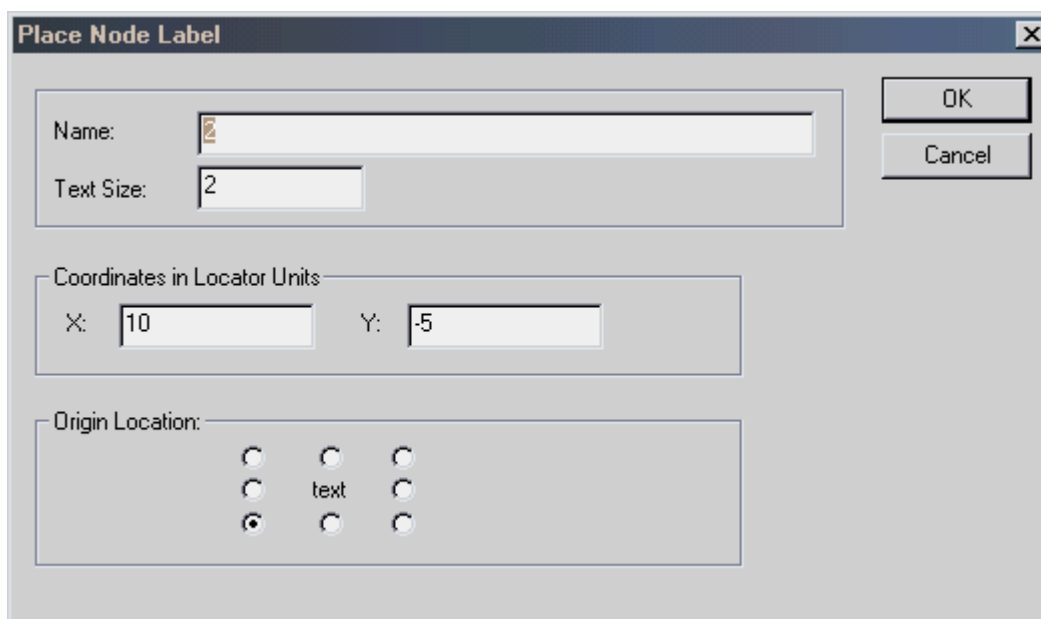


Названия транзисторов и резисторов поставлены при помощи инструмента Comment *a*.
 Выберите место расположения комментариев, нажмите левой кнопкой мыши, появится окно, в котором необходимо ввести любой текст. В этом окне можно изменять размер шрифта.

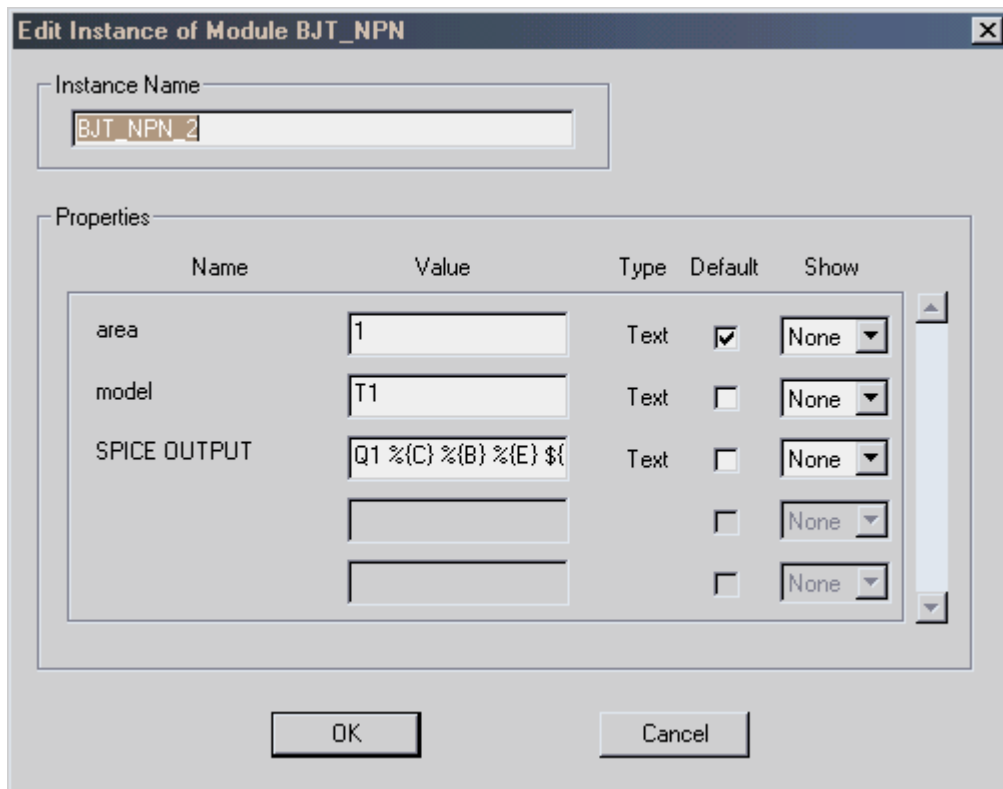


Узлы 1, 2 и out1 сделаны при помощи инструмента Node Label . Это очень удобно, т.к. Вы называете узел так, как вам удобно. Под этим именем он будет и в тексте программы T-Spice.

Нажмите на кнопку , нажмите левой кнопкой мыши на нужном узле. В появившемся окне в поле Name введите имя. В Original Location можно изменить положение текста относительно узла.



Выберите свойства любого транзистора. Для этого выделите транзистор и нажмите CTRL+E. В появившемся окне в поле SPICE OUTPUT измените Q# на Q с таким номером, который стоит в комментариях. В поле model введите название модели T с тем же номером. Необходимо учесть то, что схема состоит из 2х одинаковых, соединенных в узле out1. Таким образом для транзистора Q6 – модель T1, Q7-T2, Q8-T3, Q9-T4, Q10-T5. Ниже изображено окно редактирования транзистора Q1.



Необходимо таким же образом отредактировать сопротивления: R1,R2,R3,R4 по 100Ом, а R5 – от 1500Ом до 3500Ом. Все источники напряжения – 2В.

Теперь эту схему можно перевести в T-Spice.

T-Spice

* SPICE netlist written by S-Edit Win32 6.02

* Written on May 10, 2004 at 23:00:42

* Waveform probing commands

.probe

.options probefilename="f1-2_f2-4.dat"

+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба3\f1-2_f2-4.sdb"

+ probetopmodule="Module0"

* Main circuit: Module0

Q2 2 N1 a T2 area=1

Q1 2 N1 b T1 area=1

Q3 out1 2 Gnd T3 area=1

Q7 N6 N7 out1 T2 area=1

Q6 N6 N7 b T1 area=1

Q8 out2 N6 Gnd T3 area=1

Q4 N1 2 1 T4 area=1

Q5 2 out1 N5 T5 area=1

Q9 N7 N6 N8 T4 area=1

Q10 N6 out2 N4 T5 area=1

R1 1 N10 100 TC=0.0, 0.0

R2 N5 N10 100 TC=0.0, 0.0

R3 N8 N10 100 TC=0.0, 0.0

R4 N4 N10 100 TC=0.0, 0.0

R5 out2 N10 1500 TC=0.0, 0.0

v6 b Gnd 2.0

v7 a Gnd 2.0

v8 N10 Gnd 2.0

* End of main circuit: Module0

Для транзисторов в программе необходимо указать модели, где указаны внутренние параметры, влияющие на работу схемы (они описаны на 20й странице нашей методички).

Конструкция модели следующая:

.model название модели, тип транзистора(параметры).

Получились 5 моделей

```
.model T1 npn(Is=1.3e-10 Bf=150 Nf=1.1 Rb=890 Rc=3)
```


```
.model T2 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=18 Rc=1)
```

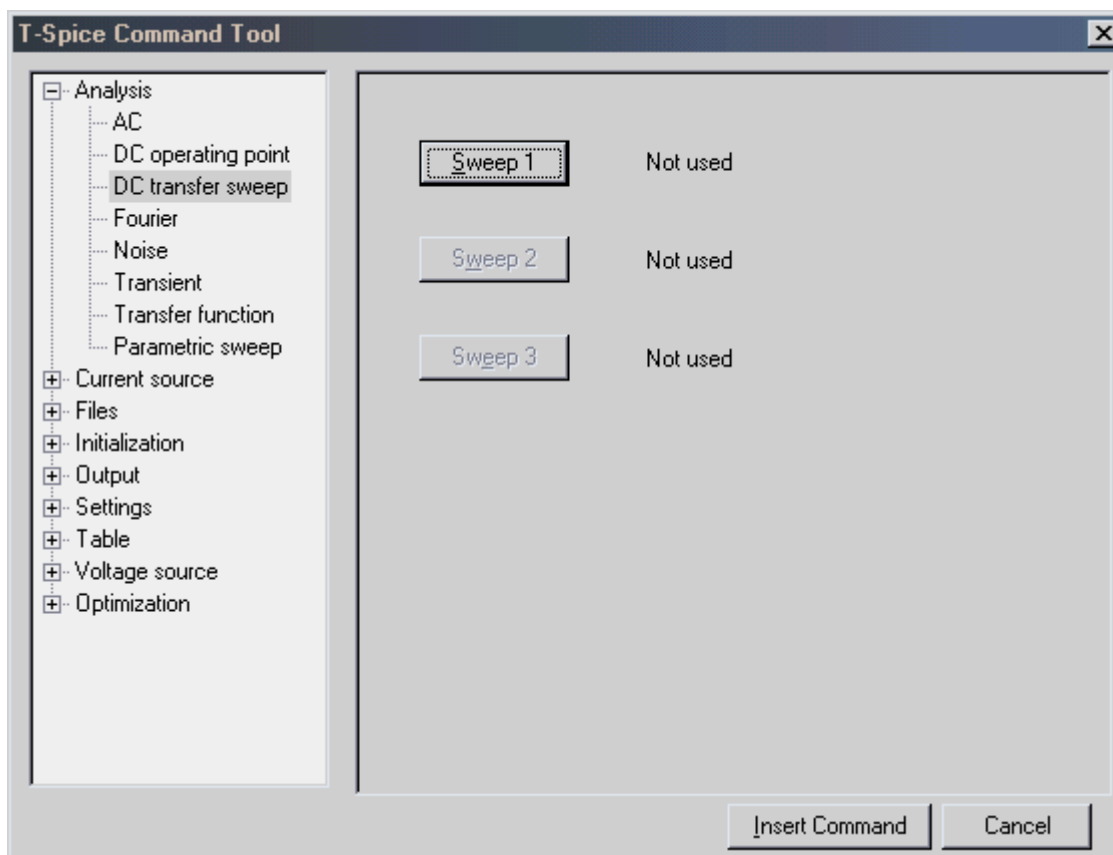
```
.model T3 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=118 Rc=1)
```

```
.model T4 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=95 Rc=525)
```

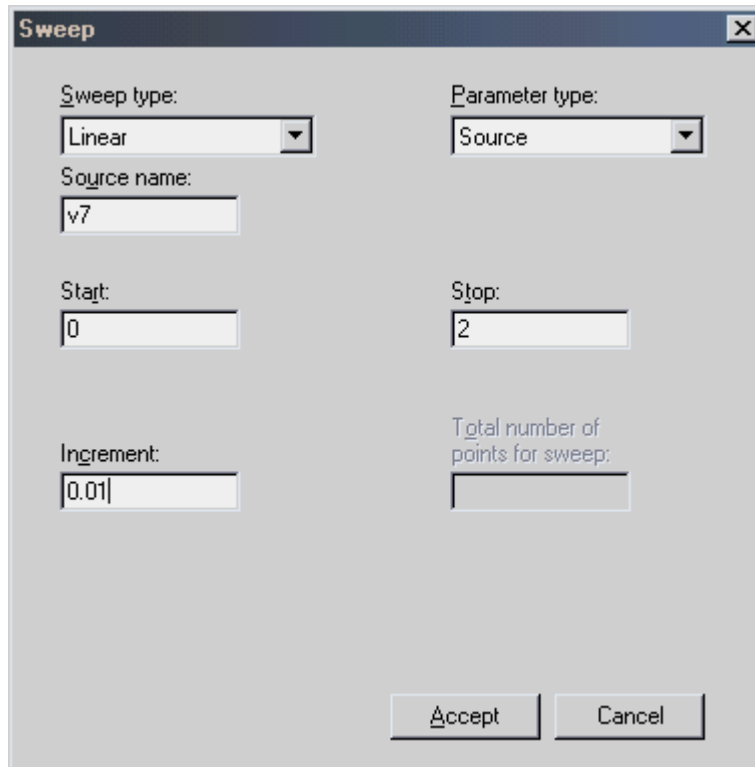
```
.model T5 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=25 Rc=180)
```

(Эти строки надо вводить вручную, а параметры подбираются опытным путем).

Остальные команды добавляются при помощи Insert Command . Один из источников напряжения на входе надо сделать изменяющимся от 0 до 2В.



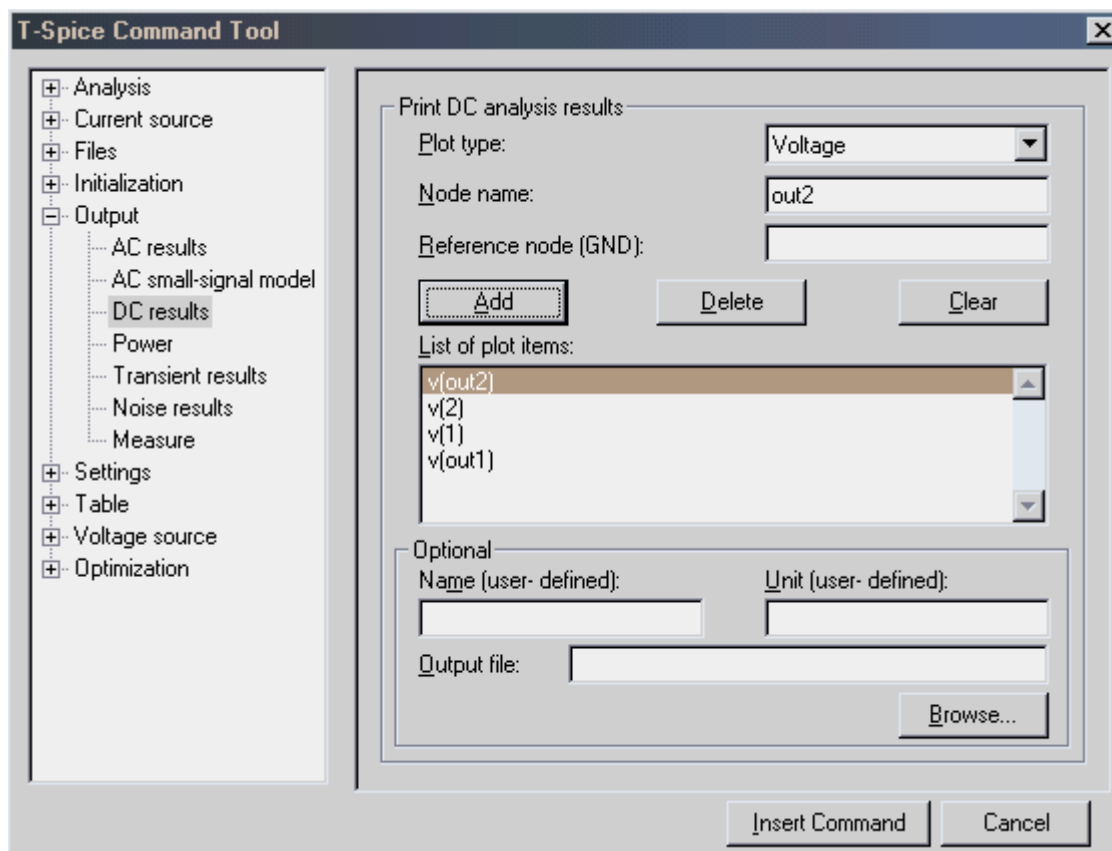
В окне Command Tool войдите в Analysis->DC transfer result. Нажмите на Sweep1. В появившемся окне выставите параметры как на примере:



Источник постоянного напряжения v7 изменяется от 0 до 2В с шагом 0.01.

.dc lin source v7 0 2 0.01 Нажмите кнопку Accept, Insert Command.

Для вывода графиков напряжений в нужных нам узлах в окне Command Tool войдите в Output->DC result. В поле Node Name введите название узла, нажмите кнопку Add(это необходимо произвести для узлов: out1,out2,1,2).



Нажмите кнопку Insert Command.
.print dc v(out1) v(1) v(2) v(out2)

Получилась программа:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on May 10, 2004 at 23:00:42
```

```
* Waveform probing commands
```


```
.probe
.options probefilename="f1-2_f2-4.dat"
+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба3\f1-2_f2-4.sdb"
+ probetopmodule="Module0"
```

```
* Main circuit: Module0
```

```
Q2 2 N1 a T2 area=1
Q1 2 N1 b T1 area=1
Q3 out1 2 Gnd T3 area=1
Q7 N6 N7 out1 T2 area=1
Q6 N6 N7 b T1 area=1
Q8 out2 N6 Gnd T3 area=1
Q4 N1 2 1 T4 area=1
Q5 2 out1 N5 T5 area=1
Q9 N7 N6 N8 T4 area=1
Q10 N6 out2 N4 T5 area=1
R1 1 N10 100 TC=0.0, 0.0
R2 N5 N10 100 TC=0.0, 0.0
R3 N8 N10 100 TC=0.0, 0.0
R4 N4 N10 100 TC=0.0, 0.0
R5 out2 N10 1500 TC=0.0, 0.0
v6 b Gnd 2.0
v7 a Gnd 2.0
v8 N10 Gnd 2.0
```

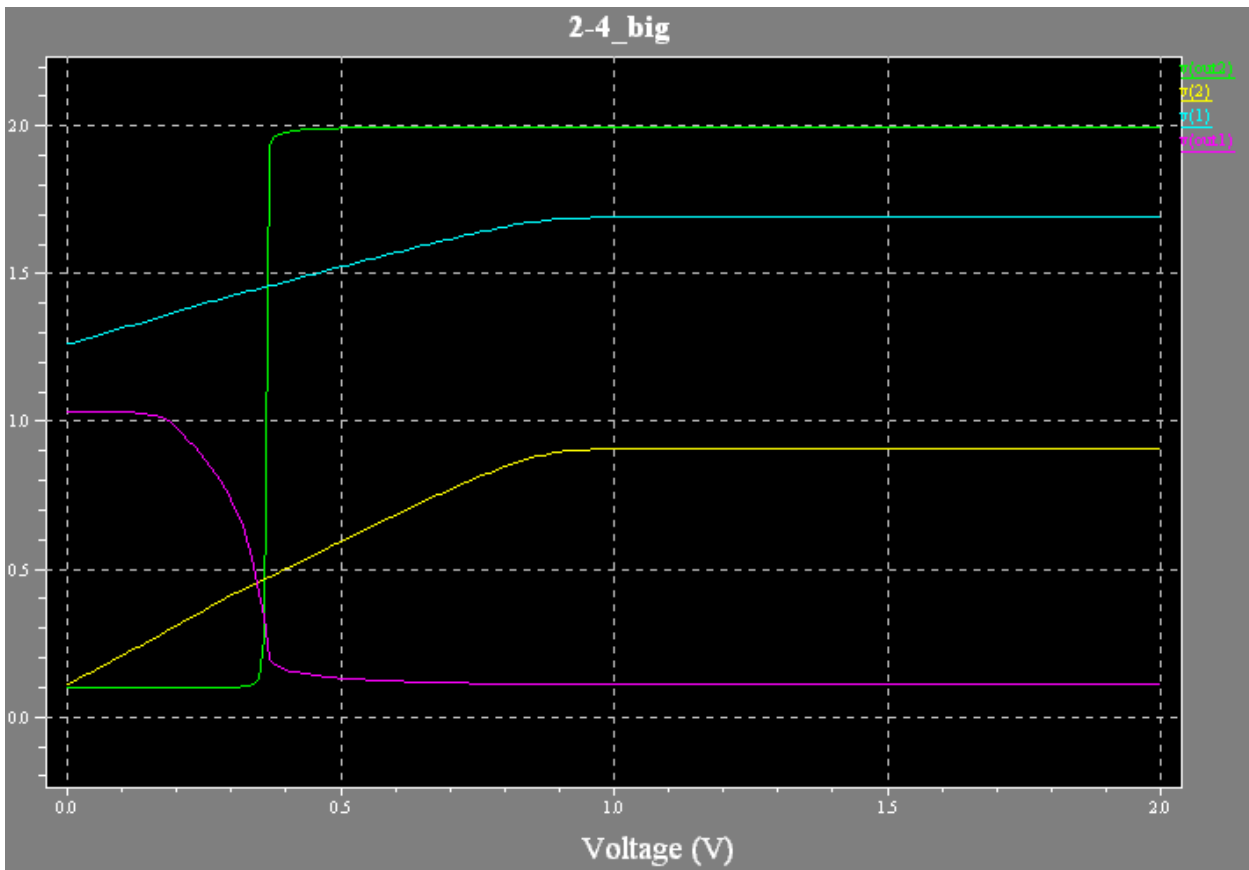
```
* End of main circuit: Module0
```


```
.model T1 npn(Is=1.3e-10 Bf=150 Nf=1.1 Rb=890 Rc=3)
.model T2 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=18 Rc=1)
.model T3 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=118 Rc=1)
.model T4 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=95 Rc=525)
.model T5 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=25 Rc=180)
.dc lin source v7 0 2 0.01
.print dc v(out1) v(1) v(2) v(out2)
```

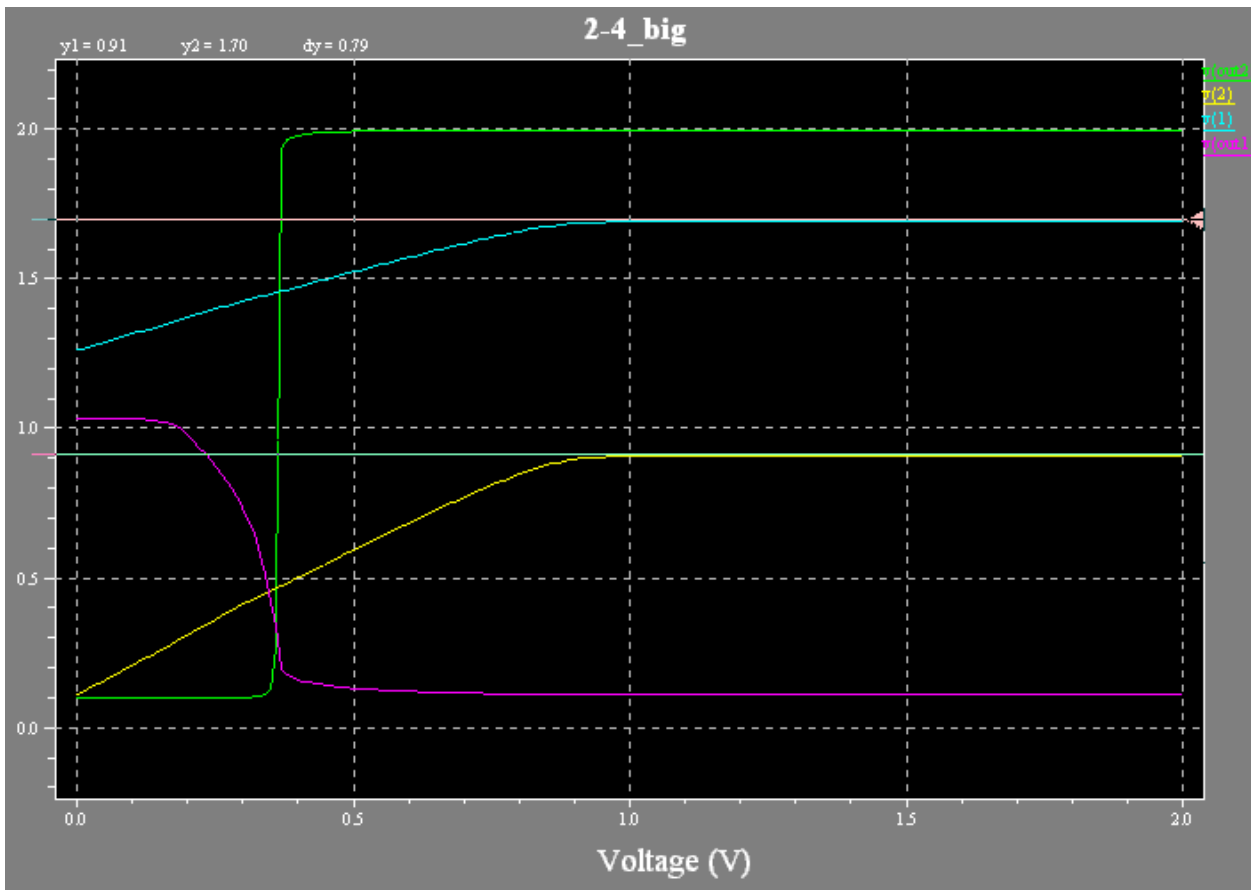
Остаётся рассчитать схему .

W-Edit

Получилась следующая переходная характеристика:

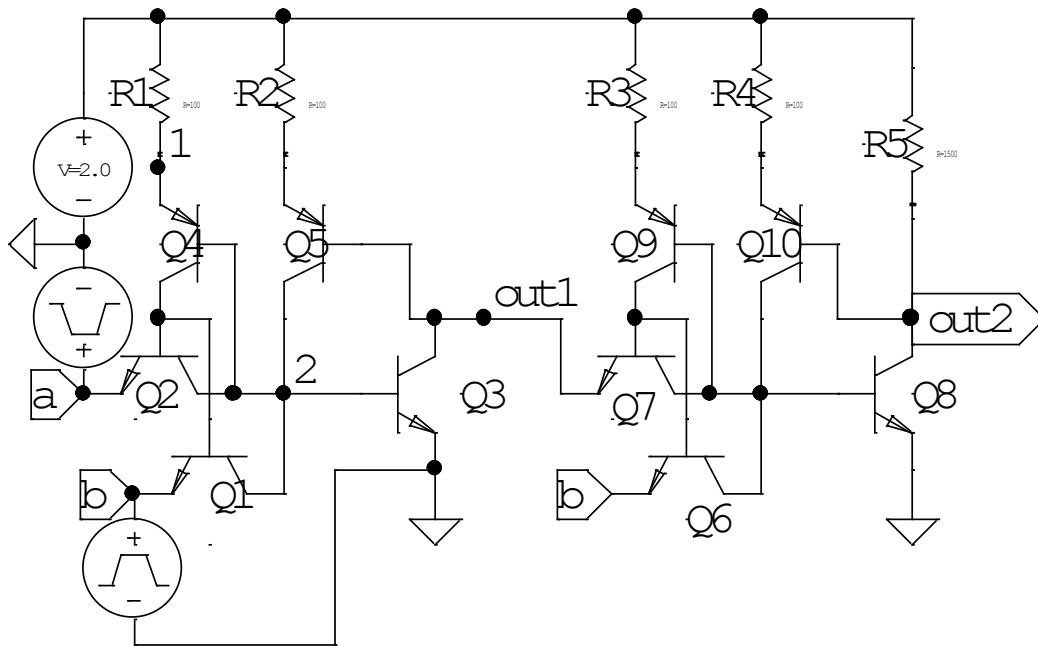


В идеале в узлах 1 и 2 напряжение должно быть 1.6 и 0.8 вольт соответственно. Для того, чтобы посмотреть точно, сколько получилось в меню W-Edit нажмите на кнопку Horizontal Cursor Bars .



Появившиеся курсоры надо передвигать за треугольники, находящиеся в правой части прямой. Из рисунка видно что на узле 2 напряжение 0,91В, а на 1м – 1,70В. Это вполне приемлемые показатели.

Передаточная характеристика S-Edit



Для передаточной характеристики постоянные источники напряжения на входах надо заменить на импульсные. Их надо взять из Symbol browser (модуль spice). Разместив их как на рисунке, надо изменить их параметры. Параметры импульсного источника напряжения следующие:

- 1) delay – задержка;
- 2) falltime – длительность отрицательного фронта импульса;
- 3) period – период всего импульса;
- 4) risetime – длительность положительного фронта;
- 5) SPICE OUTPUT – вид, в котором параметры будут показаны в тексте программы T-Spice;
- 6) Vhigh – уровень логической 1;
- 7) Vlow – уровень логического 0;
- 8) Width – длительность импульса(длительность логической 1 в одном периоде).

Для источника напряжения на входе а параметры следующие:

Edit Instance of Module Source_v_pulse

Instance Name:

Properties

Name	Value	Type	Default	Show
delay	<input type="text" value="39n"/>	Text	<input type="checkbox"/>	None
falltime	<input type="text" value="20n"/>	Text	<input type="checkbox"/>	None
period	<input type="text" value="400n"/>	Text	<input type="checkbox"/>	None
risetime	<input type="text" value="20n"/>	Text	<input type="checkbox"/>	None
SPICE OUTPUT	<input type="text" value="v# %{pos} %{neg} pul"/>	Text	<input checked="" type="checkbox"/>	None

OK Cancel

Edit Instance of Module Source_v_pulse

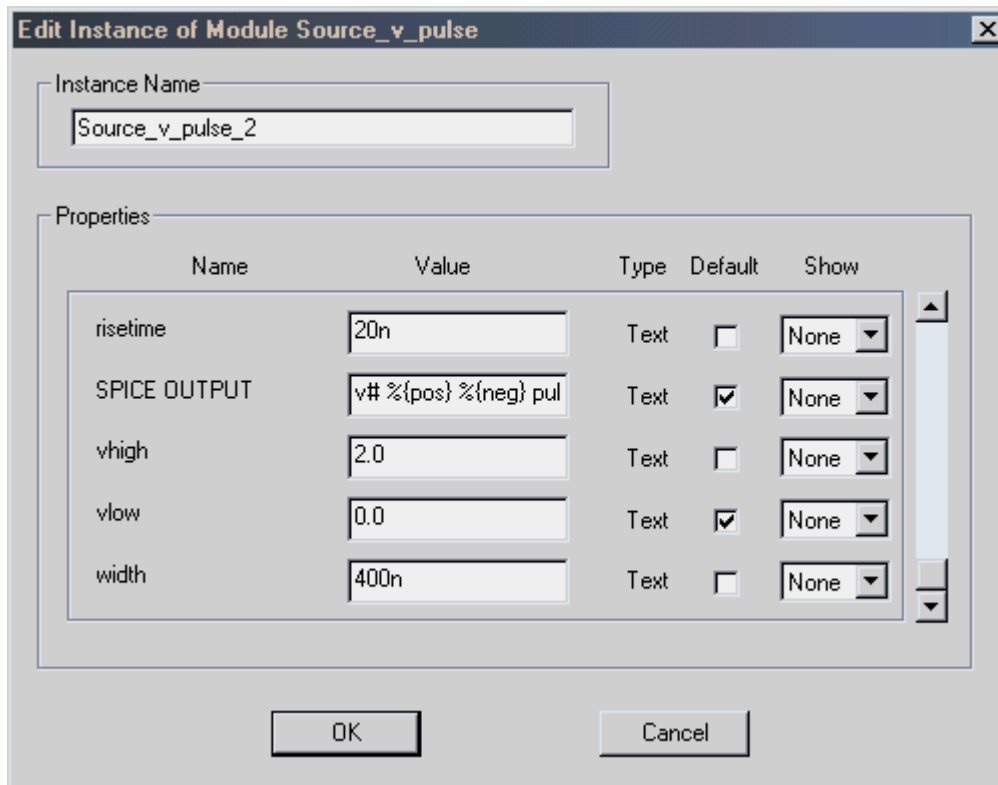
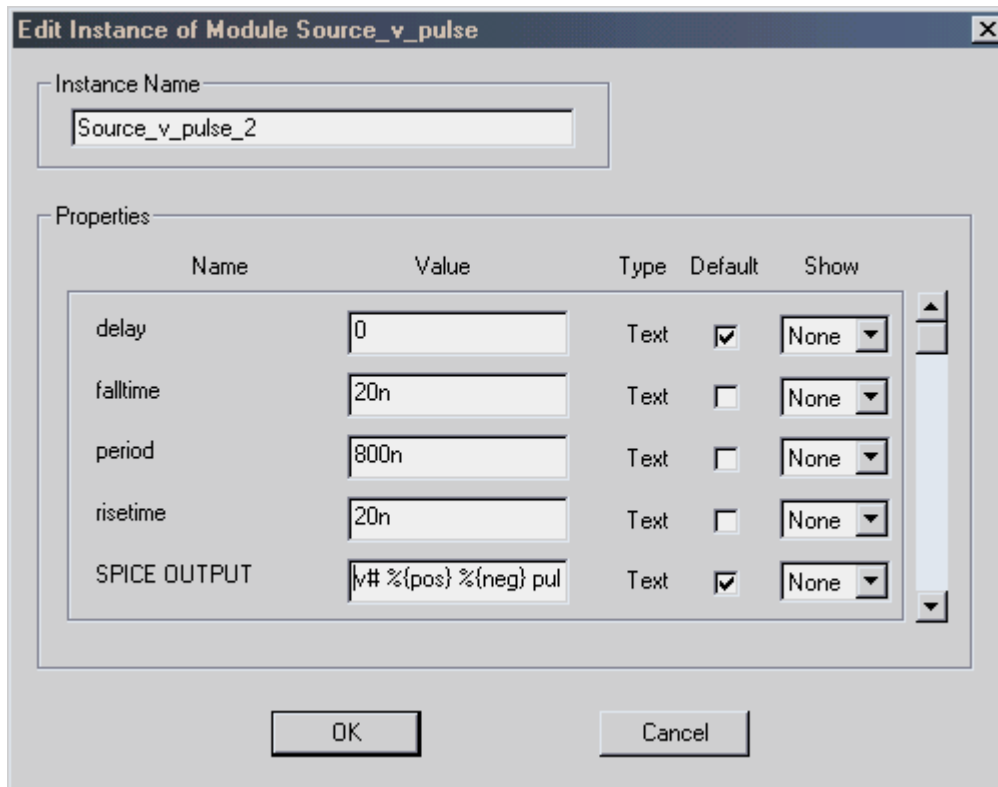
Instance Name:

Properties

Name	Value	Type	Default	Show
risetime	<input type="text" value="20n"/>	Text	<input type="checkbox"/>	None
SPICE OUTPUT	<input type="text" value="v# %{pos} %{neg} pul"/>	Text	<input checked="" type="checkbox"/>	None
vhigh	<input type="text" value="2.0"/>	Text	<input type="checkbox"/>	None
vlow	<input type="text" value="0.0"/>	Text	<input checked="" type="checkbox"/>	None
width	<input type="text" value="200n"/>	Text	<input type="checkbox"/>	None

OK Cancel

Для источника напряжения на входе в параметры следующие:



Переведем схему в **T-Spice**:

T-Spice

* SPICE netlist written by S-Edit Win32 6.02

* Written on May 10, 2004 at 23:01:49

* Waveform probing commands

.probe

.options probefilename="f1-2_f2-4_pulse.dat"

+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба3\f1-2_f2-4_pulse.sdb"

+ probetopmodule="Module0"

* Main circuit: Module0

Q2 2 N1 a T2 area=1

Q1 2 N1 b T1 area=1

Q3 out1 2 Gnd T3 area=1

Q7 N6 N7 out1 T2 area=1

Q6 N6 N7 b T1 area=1

Q8 out2 N6 Gnd T3 area=1

Q4 N1 2 1 T4 area=1

Q5 2 out1 N5 T5 area=1

Q9 N7 N6 N8 T4 area=1

Q10 N6 out2 N4 T5 area=1

R1 1 N10 100 TC=0.0, 0.0

R2 N5 N10 100 TC=0.0, 0.0

R3 N8 N10 100 TC=0.0, 0.0

R4 N4 N10 100 TC=0.0, 0.0

R5 out2 N10 1500 TC=0.0, 0.0

v6 N10 Gnd 2.0

v7 a Gnd pulse(0.0 2.0 39n 20n 20n 200n 400n)

v8 b Gnd pulse(0.0 2.0 0 20n 20n 400n 800n)

* End of main circuit: Module0

В конце строк, описывающих импульсные источники напряжения, допишите `round=0.5`. Этот параметр скругляет углы при переходе от фронтов к уровню логической 1 и 0. Вставьте модели такие же, как и в предыдущей программе, т.к. изменились только источники напряжения. К ним надо добавить `cjc`(ёмкость база-коллектор) и `cje`(ёмкость база-эмиттер).

.model T1 npn(Is=1.3e-10 Bf=150 Nf=1.1 Rb=890 Rc=3 cjc=1e-10 cje=1e-12)


.model T2 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=18 Rc=1 cjc=1e-11 cje=1e-12)

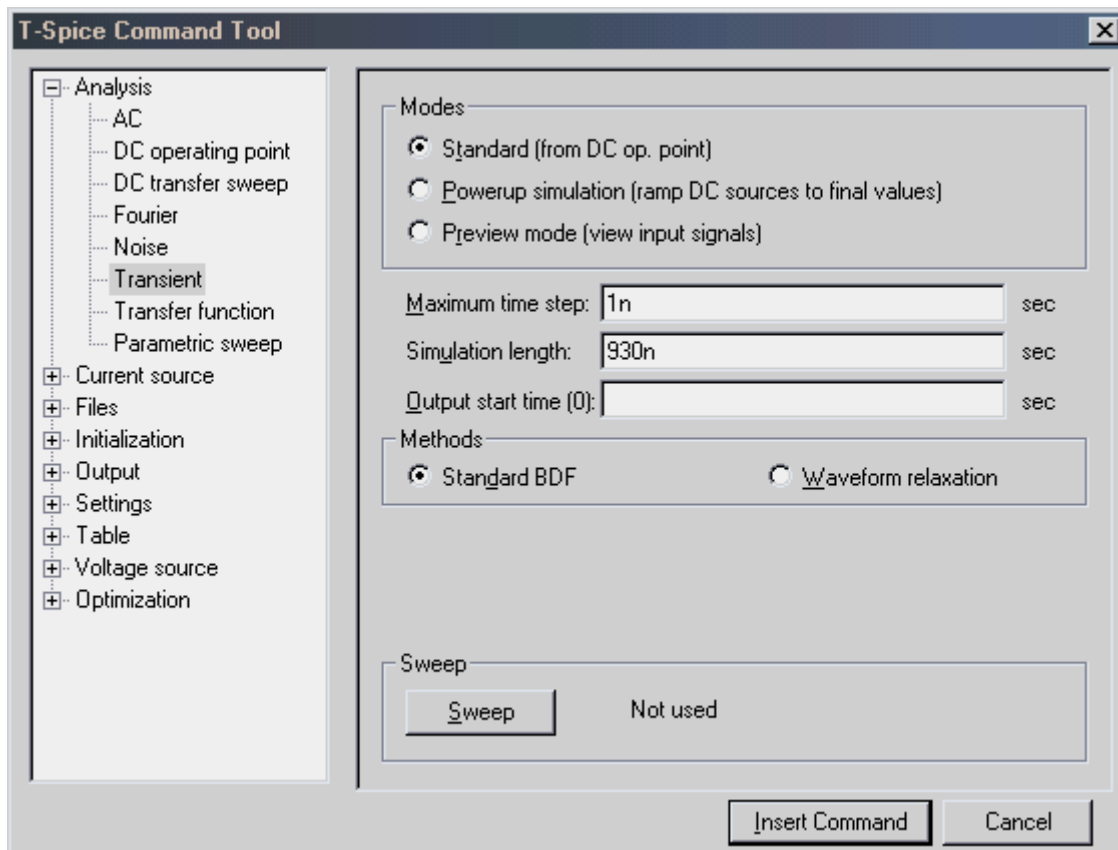
.model T3 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=118 Rc=1 cjc=1e-12 cje=1e-12)

.model T4 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=95 Rc=525 cjc=1e-12 cje=1e-12)

.model T5 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=25 Rc=180 cjc=1e-11 cje=1e-11)

Сейчас перед нами стоит задача построения зависимости напряжения от времени. Для этого в

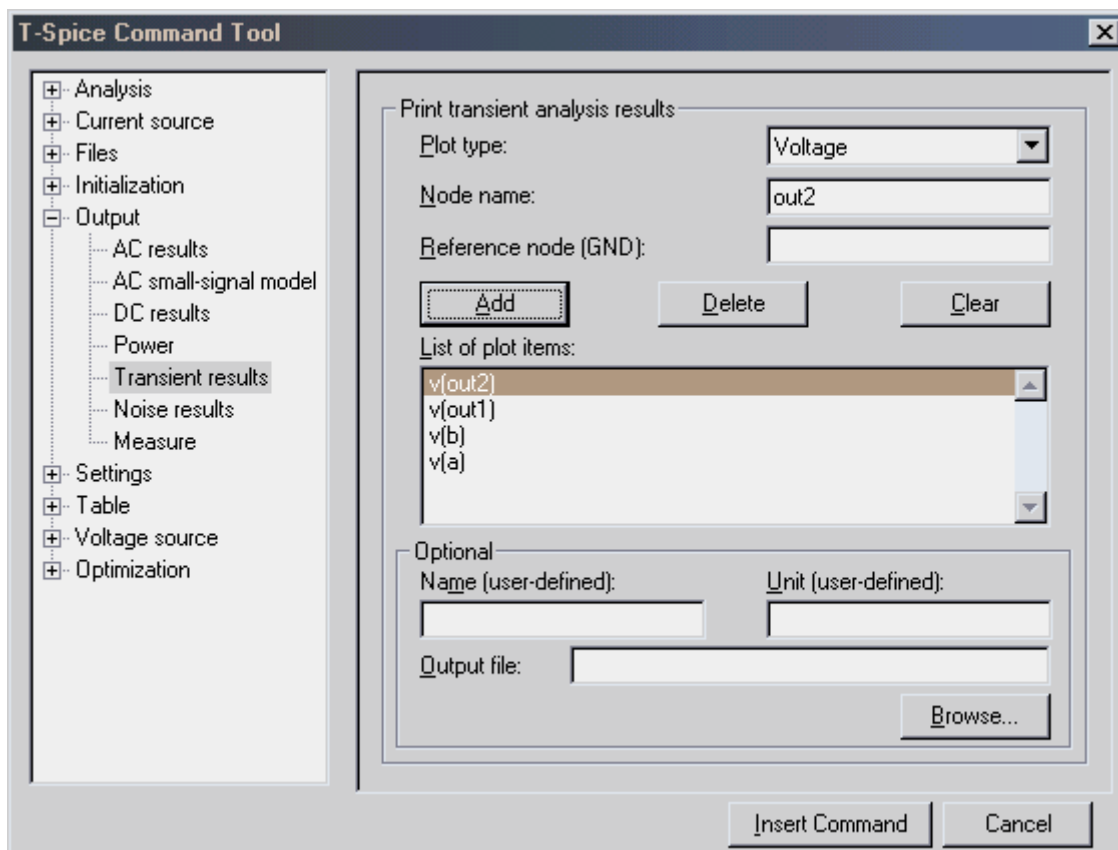
окне Command Tool  выберите Analysis->Transient.



Эти параметры означают, что по оси x будет откладываться время от 0 до 1430нс, с шагом 5нс:

`.tran/op 1n 930n method=bdf`

Для того, чтобы определить в каких узлах будет проверяться напряжение, в окне Command Tool выберите Output->Transient results.



В поле Node name введите название узла и нажмите кнопку Add(это необходимо проделать с каждым выбранным вами узлом). Нажмите кнопку Insert Command.

```
.print tran v(a) v(b) v(out1) v(out2)
```

Программа выглядит так:

```
* SPICE netlist written by S-Edit Win32 6.02
```

```
* Written on May 10, 2004 at 23:01:49
```

```
* Waveform probing commands
```

```
.probe
```

```
.options probefilename="f1-2_f2-4_pulse.dat"
```

```
+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба3\f1-2_f2-4_pulse.sdb"
```

```
+ probetopmodule="Module0"
```

```
* Main circuit: Module0
```

```
Q2 2 N1 a T2 area=1
```

```
Q1 2 N1 b T1 area=1
```

```
Q3 out1 2 Gnd T3 area=1
```

```
Q7 N6 N7 out1 T2 area=1
```

```
Q6 N6 N7 b T1 area=1
```

```
Q8 out2 N6 Gnd T3 area=1
```

```
Q4 N1 2 1 T4 area=1
```

```
Q5 2 out1 N5 T5 area=1
```

```
Q9 N7 N6 N8 T4 area=1
```

```
Q10 N6 out2 N4 T5 area=1
```

```
R1 1 N10 100 TC=0.0, 0.0
```

```
R2 N5 N10 100 TC=0.0, 0.0
```

```
R3 N8 N10 100 TC=0.0, 0.0
```

```
R4 N4 N10 100 TC=0.0, 0.0
```

```
R5 out2 N10 1500 TC=0.0, 0.0
```

```
v6 N10 Gnd 2.0
```

```
v7 a Gnd pulse(0.0 2.0 39n 20n 20n 200n 400n)round=0.5
```

```
v8 b Gnd pulse(0.0 2.0 0 20n 20n 400n 800n)round=0.5
```

```
* End of main circuit: Module0
```

```
.model T1 npn(Is=1.3e-10 Bf=150 Nf=1.1 Rb=890 Rc=3 cjc=1e-10 cje=1e-12)
```

```
.model T2 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=18 Rc=1 cjc=1e-11 cje=1e-12)
```


```
.model T3 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=118 Rc=1 cjc=1e-12 cje=1e-12)
```

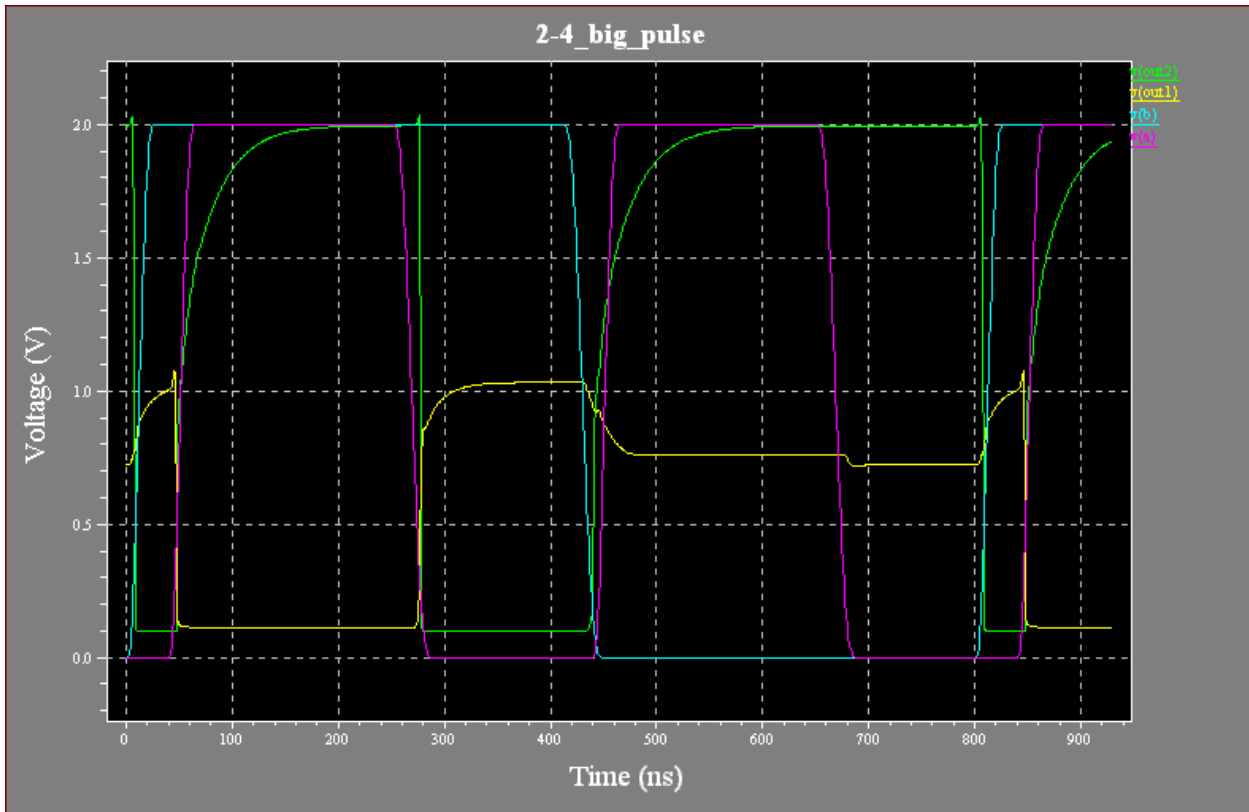
```
.model T4 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=95 Rc=525 cjc=1e-12 cje=1e-12)
```

```
.model T5 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=25 Rc=180 cjc=1e-11 cje=1e-11)
```

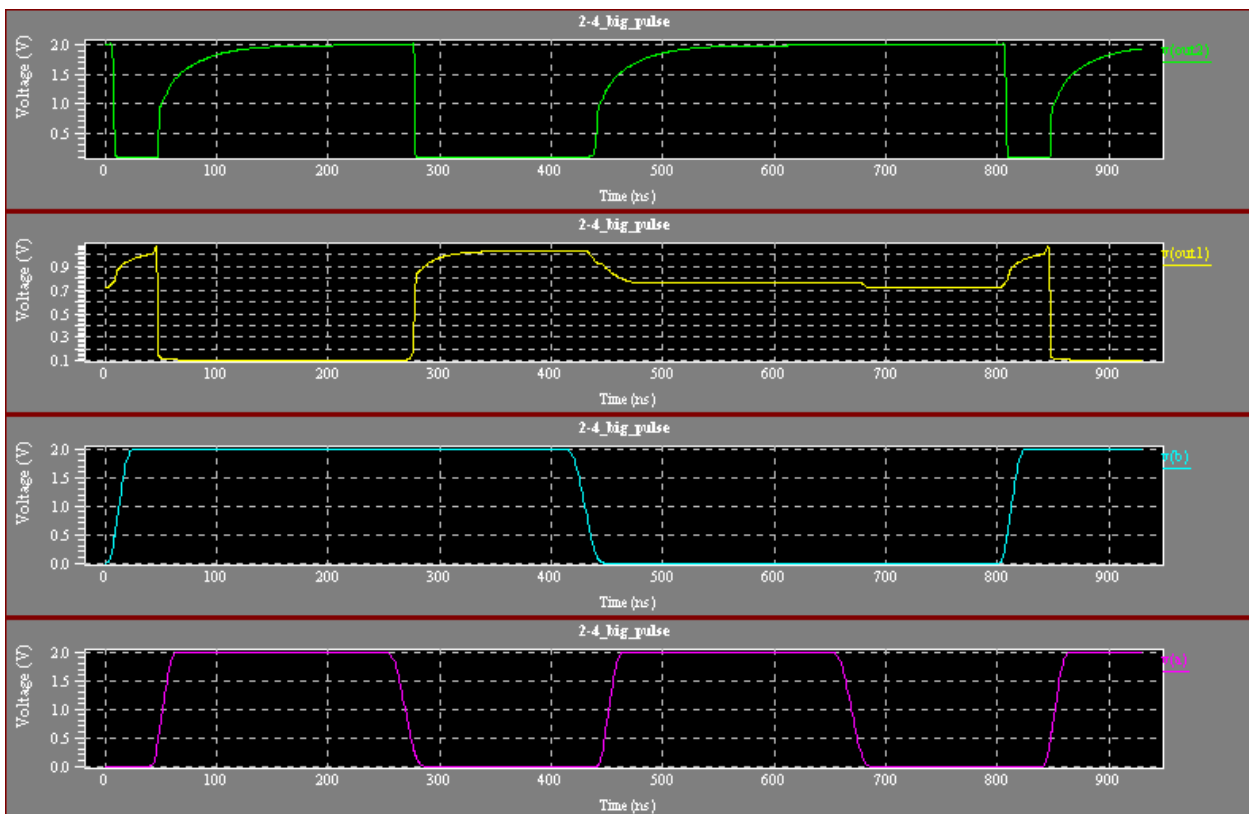
```
.tran/op 1n 930n method=bdf
```

```
.print tran v(a) v(b) v(out1) v(out2)
```

Остаётся рассчитать схему .

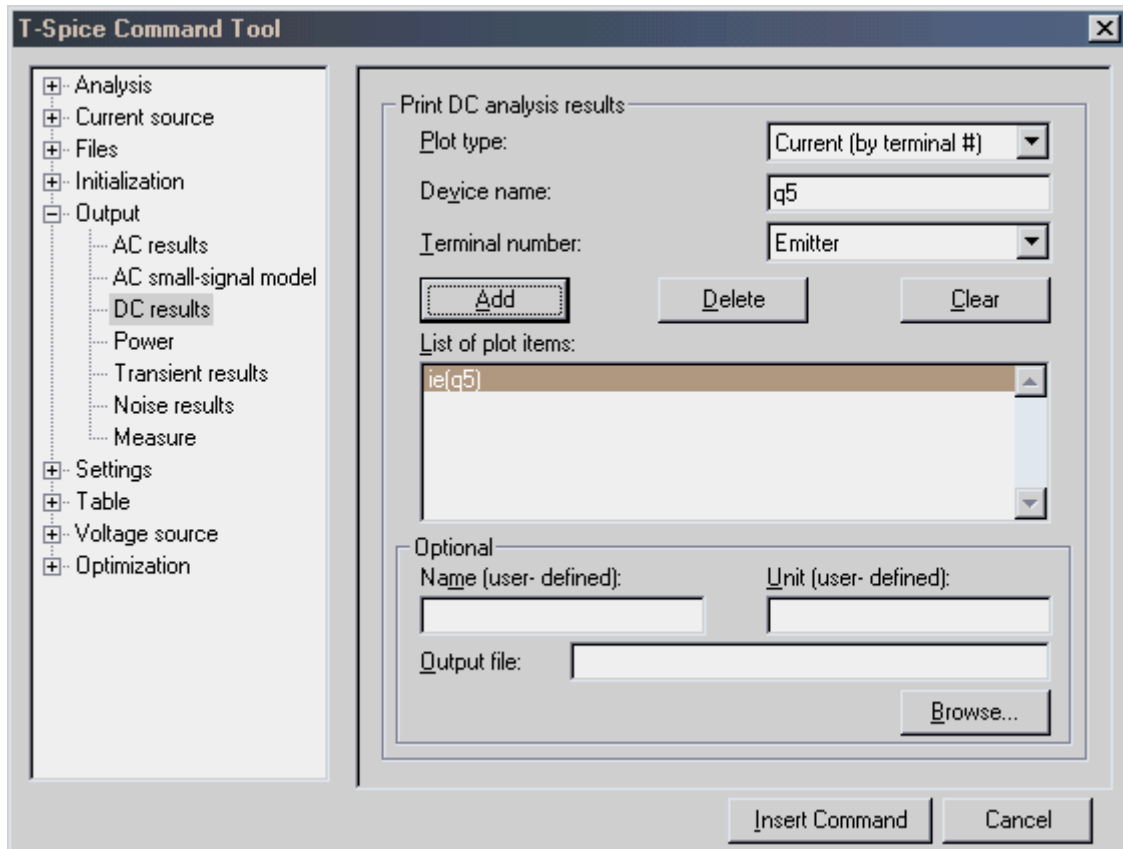


Графики необходимо разделить. Для этого нажмите кнопку Expand Charts



BAX

Теперь нам необходимо посмотреть токи на эмиттерах транзисторов Q4, Q5, Q9, Q10. Для этого в первой программе удалите строку «.print tran v(a) v(b) v(out1) v(out2)». В окне Command Tool выберите Output->DC results. В списке Plot type выберите Current(by terminal #), в поле device name введите название транзистора. В списке terminal number вы берите эмиттер(emitter), коллектор(collector) или базу(base). Повторите ввод имени и выбор terminal number для других транзисторов. Нажмите кнопку add.



* SPICE netlist written by S-Edit Win32 6.02
* Written on May 10, 2004 at 23:00:42

* Waveform probing commands

```
.probe  
.options probefilename="f1-2_f2-4.dat"  
+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба3\f1-2_f2-4.sdb"  
+ probetopmodule="Module0"
```

* Main circuit: Module0


```
Q2 2 N1 a T2 area=1  
Q1 2 N1 b T1 area=1  
Q3 out1 2 Gnd T3 area=1  
Q7 N6 N7 out1 T2 area=1  
Q6 N6 N7 b T1 area=1  
Q8 out2 N6 Gnd T3 area=1  
Q4 N1 2 1 T4 area=1  
Q5 2 out1 N5 T5 area=1  
Q9 N7 N6 N8 T4 area=1  
Q10 N6 out2 N4 T5 area=1  
R1 1 N10 100 TC=0.0, 0.0
```



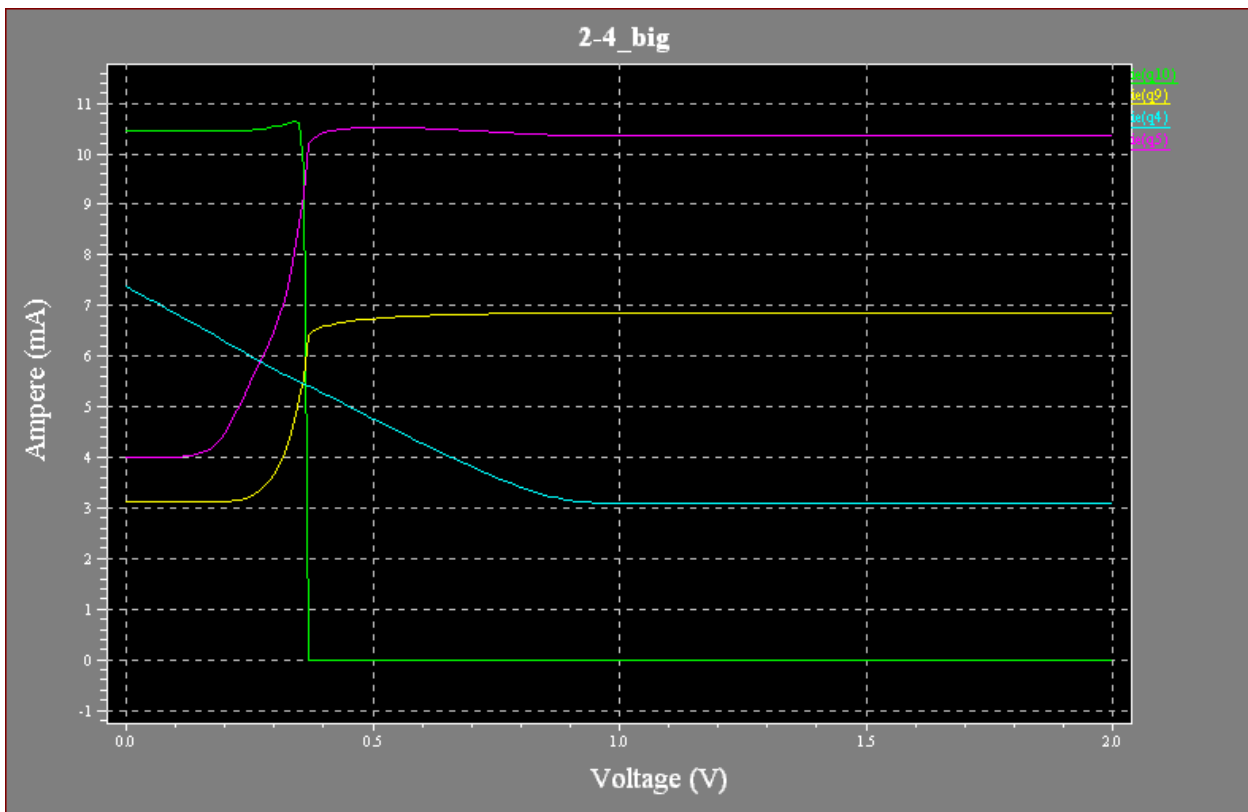
```

R2 N5 N10 100 TC=0.0, 0.0
R3 N8 N10 100 TC=0.0, 0.0
R4 N4 N10 100 TC=0.0, 0.0
R5 out2 N10 1500 TC=0.0, 0.0
v6 b Gnd 2.0
v7 a Gnd 2.0
v8 N10 Gnd 2.0
* End of main circuit: Module0
.model T1 npn(Is=1.3e-10 Bf=150 Nf=1.1 Rb=890 Rc=3)
.model T2 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=18 Rc=1)
.model T3 npn(Is=1.7e-9 Bf=150 Nf=1.1 Rb=118 Rc=1)
.model T4 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=95 Rc=525)
.model T5 pnp(Is=1.3e-11 Bf=5 Nf=1.1 Rb=25 Rc=180)
.dc lin source v7 0 2 0.01
.print dc ie(q5) ie(q4) ie(q9) ie(q10)

```

Рассчитайте схему .

W-Edit



Вентильные схемы

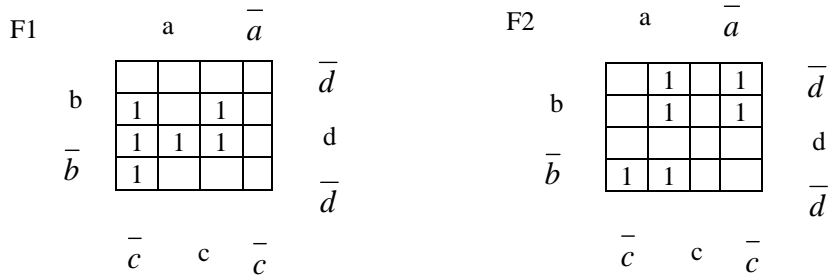
Создать вентильное устройство на 2 выхода, выполняющее функции:

$$F1 = (3\ 7\ 8\ 9\ 11\ 13)$$

$$F2 = (4\ 5\ 8\ 10\ 14\ 15)$$

Выполнение задания

Для определения логических функций составим диаграммы Вейча:



$$F1 = \overline{abc} \cdot \overline{acd} \cdot \overline{acd} \cdot \overline{bcd}$$

$$F2 = \overline{abc} \cdot \overline{abd} \cdot \overline{acb}$$

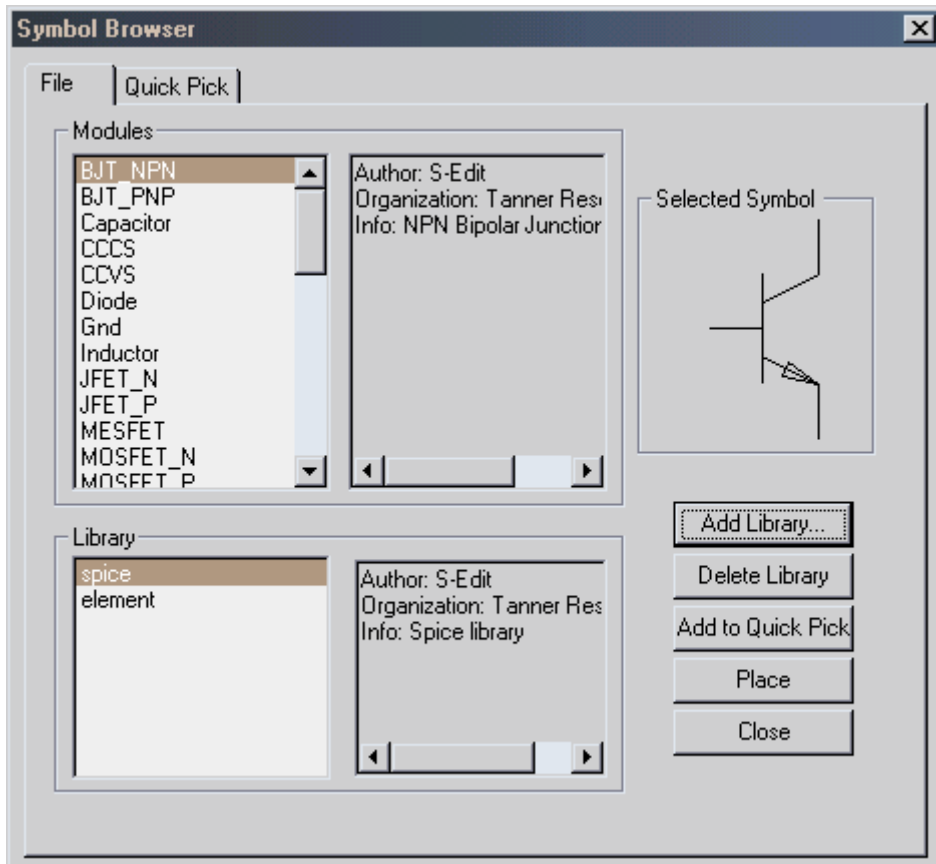
Таблица истинности:

A	B	C	D	F1	F2
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	0
0	1	1	1	1	0
1	0	0	0	1	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	1	0	1

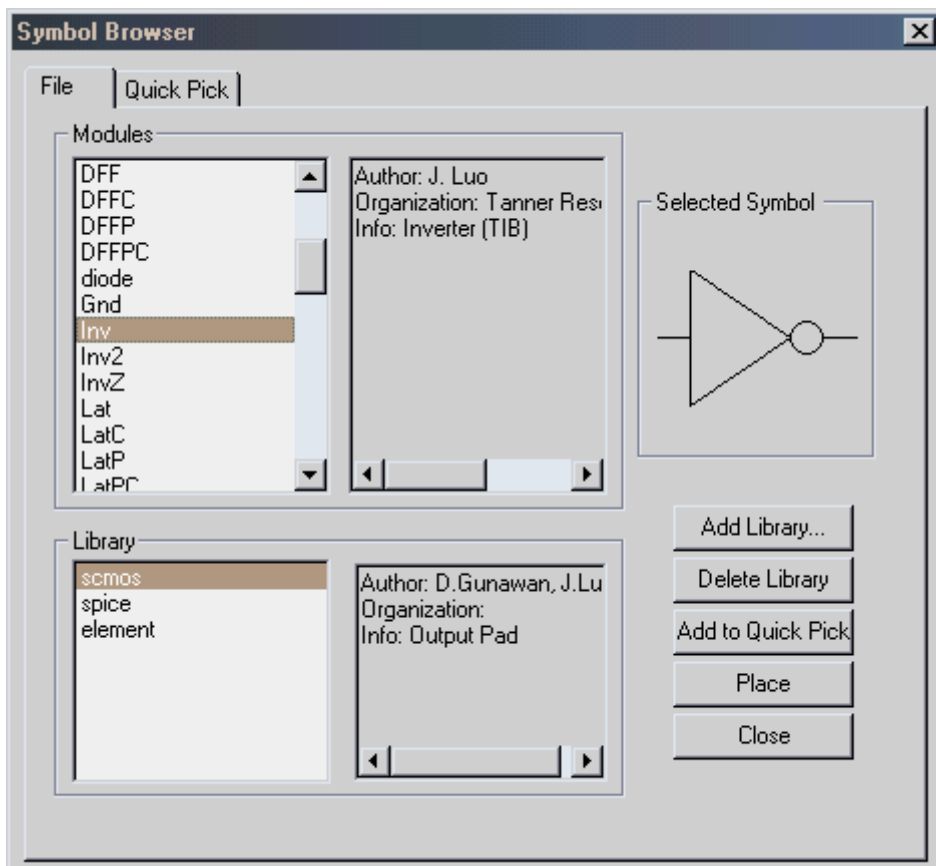
S-Edit

Теперь по логическим уравнениям можно нарисовать схему, состоящую из вентилей в базе И-НЕ. Для этого понадобятся вентили НЕ и И.

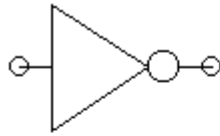
В программе S-Edit в панели инструментов нажмите кнопку Symbol Browser .



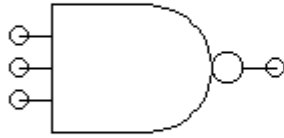
Нужные элементы находятся в библиотеке scmos.sdb. Её можно загрузить кнопкой Add Library из папки ~\TANNER EDA\T-Spice Pro v6.02\library.



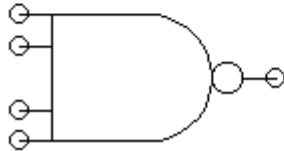
В списке новой библиотеки выберите Inv – это НЕ; NAND3 – И-НЕ на 3 входа; NAND4 – И-НЕ на 4 входа.



Inv

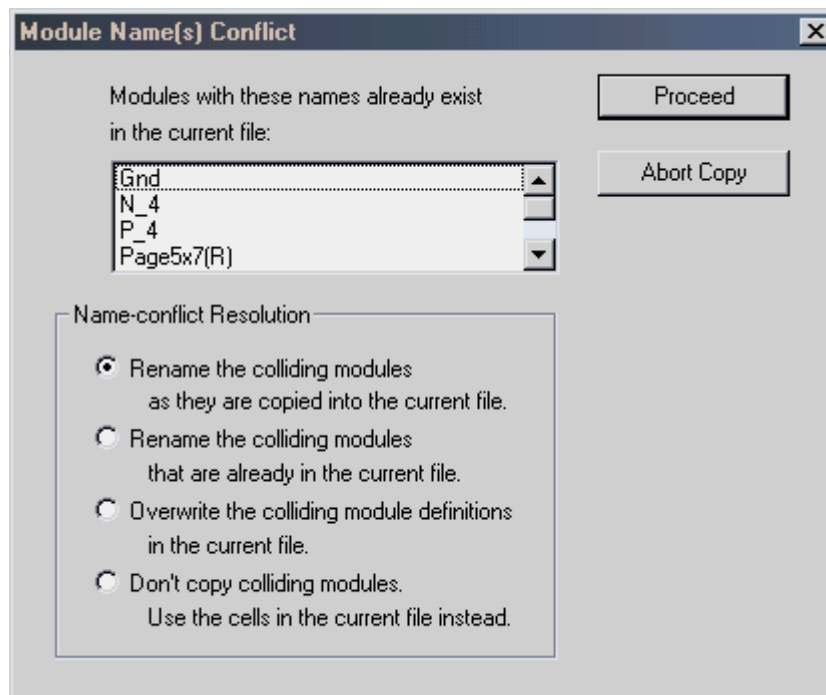


NAND3



NAND4

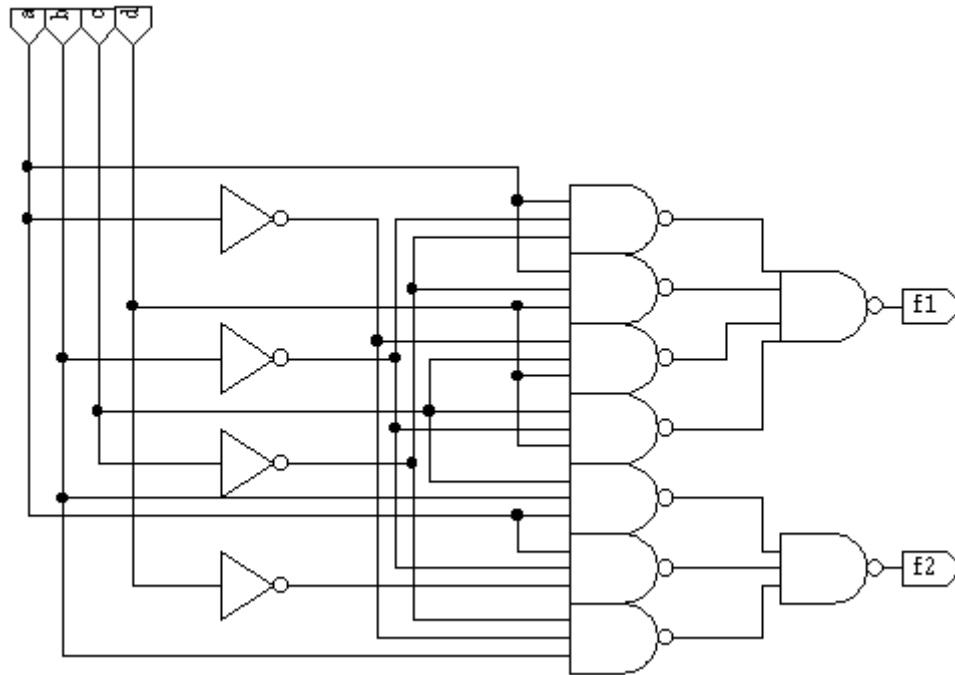
Во время извлечения вентиля из Symbol Browser возникает ситуация, когда имена внутренних устройств разных вентилях конфликтуют(они одинаковые). При этом появляется следующее окно.



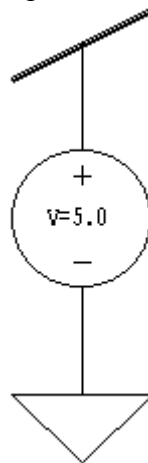
На выбор предоставляется 4 возможных решения этой проблемы:

- 1) S-Edit предлагает переименовать модули из файла-источника, который служит причиной конфликта имён.
- 2) S-Edit предлагает переименовать модули в существующем файле, которые послужили причиной конфликта имён.
- 3) S-Edit перезапишет модули в существующем файле, служащим причиной противоречия имён,
- 4) Модули копируются, но имена, служащие противоречием не копируются.

Получается такая схема:



Для того, чтобы на питание подать 5 вольт, необходимо добавить следующий блок, состоящий из питания, земли и источника постоянного напряжения



В Symbol Brouser в библиотеке scmos необходимо выбрать модуль .param. В нём описаны необходимые параметры для к-МОП транзисторов, из которых состоят вентили:

```

<< Devices and Process Parameters >>

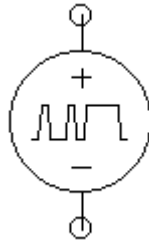
.param l=1u
l: the layout unit / scale factor (um).

P_4 / N_4: P / N-channel MOSFET
  W: Gate Width (l).
  L: Gate Length (l).
  AS / AD: Source/Drain Area A=W*L*1*1 (l)
  A: Area (squm).
  PS / PD: Source/Drain parameter P=(W+L)*2*1 (l)
  P: parameter (um).

For SPICE Export, this .param statement must
be placed on top level of the design hierarchy.

```

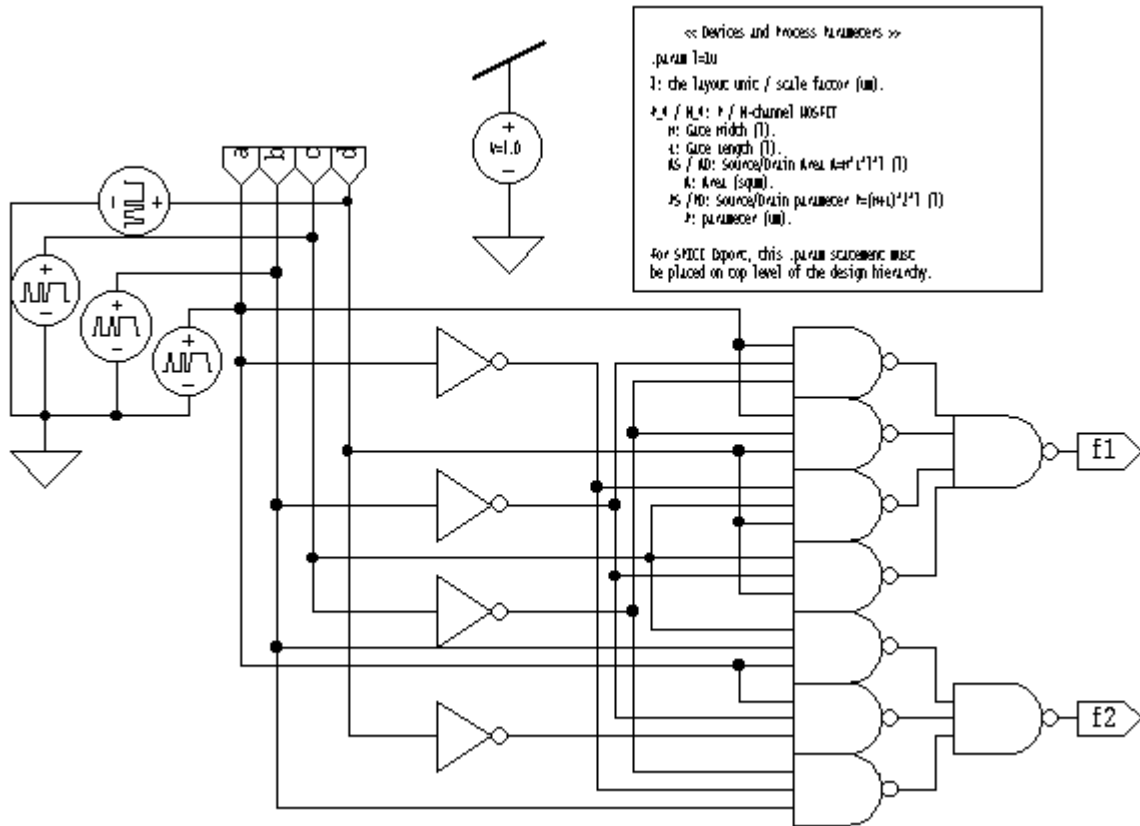
К входам устройства необходимо подключить источники напряжения source_v_bit(векторизованный сигнал) из библиотеки spice.




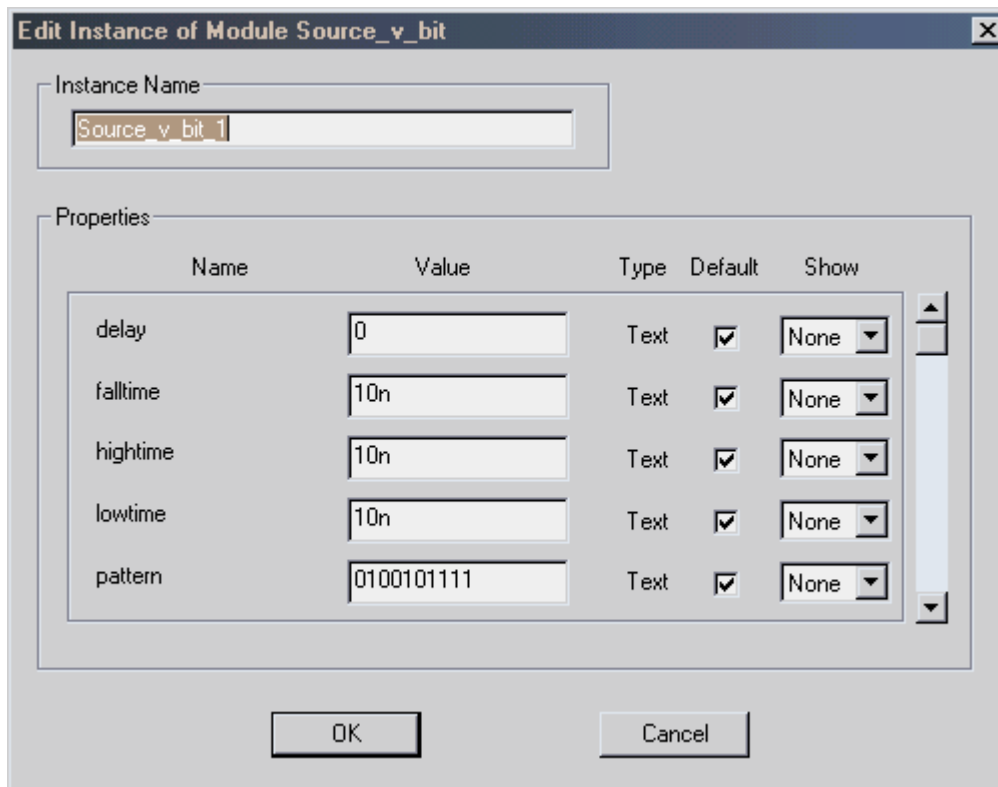
«+» - к входу;

«-» - к земле;

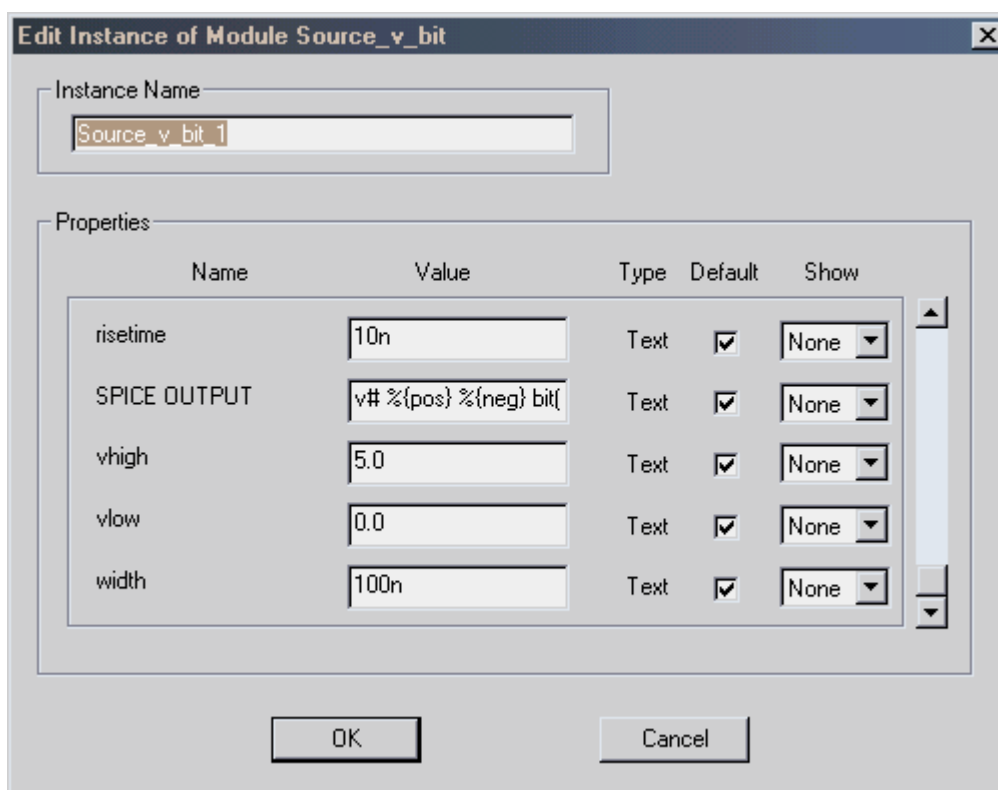
Получилась схема:



Осталось изменить настройки источников напряжения. Для этого надо выделить один из них и нажать на комбинацию клавиш Ctrl+E, либо . Появится окно:



Если опустить ползунок, взору откроются ещё параметры:



Некоторые необходимо изменить:

delay – задержка;

fall time – длительность отрицательного фронта;

high time - rise time + время, в течении которого напряжение было на уровне vhigh;

low time – fall time + время, в течении которого напряжение было на уровне vlow;

pattern – шаблон, содержащий одну или комбинаций коэффициентов(0001101 – последовательность битов, если 5(0001101) – 5 раз будет генерироваться последовательность в скобках);

rise time – длительность положительного фронта;
SPICE OUTPUT – формат вывода всех параметров в T-Spice;
vhigh – напряжение при котором схема переключается(логическая 1);
vlow - напряжение при котором схема не работает(логический 0);
width – rise time+длительность логической 1 = fall time+длительность логического 0.

Сначала изменим напряжение на входе a:

- Fall time и rise time изменим на 3n;
- High time и low time заменим на 20n;
- Pattern заменим на последовательность из таблицы истинности: 0000000011111111.

На остальных входах первые 2 пункта не изменятся, а 3-й выглядит так:

- Вход b – 0000111100001111;
- Вход c – 0011001100110011;
- Вход d – 0101010101010101.

Теперь можно переводить в T-Spice.

T-Spice

Программа этой схемы выглядит так:

```
* SPICE netlist written by S-Edit Win32 6.02
```

```
* Written on Apr 21, 2004 at 23:48:24
```

```
* Waveform probing commands
```

```
.probe
```

```
.options probefilename="устройство1.dat"
```

```
+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1.sdb"
```

```
+ probetopmodule="Module0"
```

```
* No Ports in cell: PageID_Tanner
```

```
* End of module with no ports: PageID_Tanner
```

```
.SUBCKT NAND3 A B C Out Gnd Vdd
```

```
M4 Out C 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
```

```
M5 1 B 2 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M6 2 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
```

```
* Page Size: 5x7
```

```
* S-Edit 3-Input NAND Gate (TIB)
```

```
* Designed by: J. Luo Apr 10, 2004 18:58:13
```

```
* Schematic generated by S-Edit
```

```
* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module NAND3 / page Page0
```

```
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
```

```
M2 Out B Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M3 Out C Vdd Vdd PMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
```

```
.ENDS
```

```
.SUBCKT Inv A Out Gnd Vdd
```

```
M2 Out A Gnd Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='144*1*1' PS='68*1' PD='68*1' M=1
```

```
* Page Size: 5x7
```

```
* S-Edit Inverter (TIB)
```

```
* Designed by: J. Luo Apr 10, 2004 18:57:27
```

```
* Schematic generated by S-Edit
```

```
* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module Inv / page Page0
```

```
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='148*1*1' AD='144*1*1' PS='68*1' PD='68*1' M=1
```

```
.ENDS
```




```

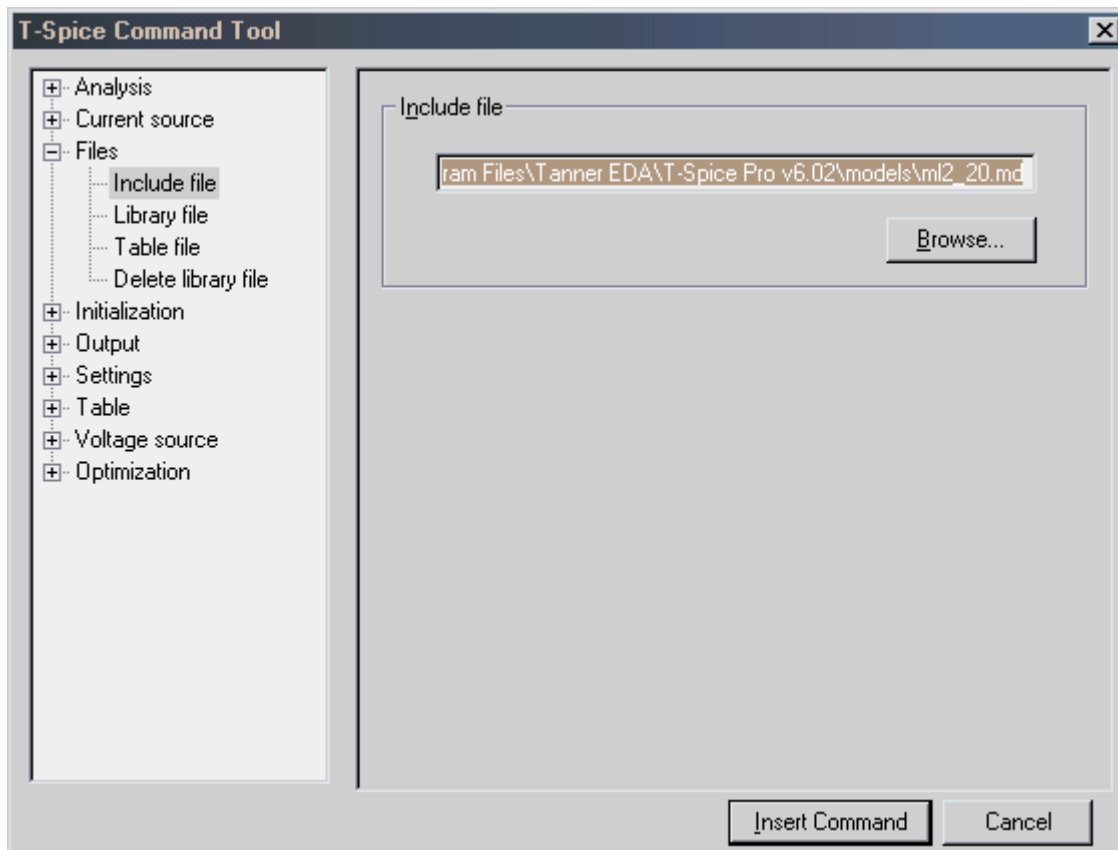
.SUBCKT NAND4 A B C D Out Gnd Vdd
M5 Out D 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
M6 1 C 2 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M7 2 B 3 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M8 3 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
* Page Size: 5x7
* S-Edit 4-Input NAND Gate (TIB)
* Designed by: J. Luo Apr 10, 2004 18:59:46
* Schematic generated by S-Edit
* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module NAND4 / page
Page0
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
M2 Out B Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M3 Out C Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M4 Out D Vdd Vdd PMOS W='28*1' L='2*1' AS='144*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
.ENDS

* Main circuit: Module0
.param l=1u
XInv_1 a N10 Gnd Vdd Inv
XInv_2 b N8 Gnd Vdd Inv
XInv_3 c N9 Gnd Vdd Inv
XInv_4 d N11 Gnd Vdd Inv
XNAND3_1 a N8 N9 N13 Gnd Vdd NAND3
XNAND3_2 a N9 d N1 Gnd Vdd NAND3
XNAND3_3 N10 c d N14 Gnd Vdd NAND3
XNAND3_4 c N8 d N2 Gnd Vdd NAND3
XNAND3_5 N9 N10 b N4 Gnd Vdd NAND3
XNAND3_6 c b a N15 Gnd Vdd NAND3
XNAND3_7 N15 N3 N4 f2 Gnd Vdd NAND3
XNAND3_8 a N8 N11 N3 Gnd Vdd NAND3
XNAND4_1 N13 N1 N14 N2 f1 Gnd Vdd NAND4
v1 a Gnd bit({0000000011111111}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)
v2 b Gnd bit({0000111100001111}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)
v3 c Gnd bit({0011001100110011}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)
v4 d Gnd bit({0101010101010101}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)
v5 Vdd Gnd 5.0
End of main circuit: Module0

```


Для определения модели МОП транзисторов необходимо сделать следующее:

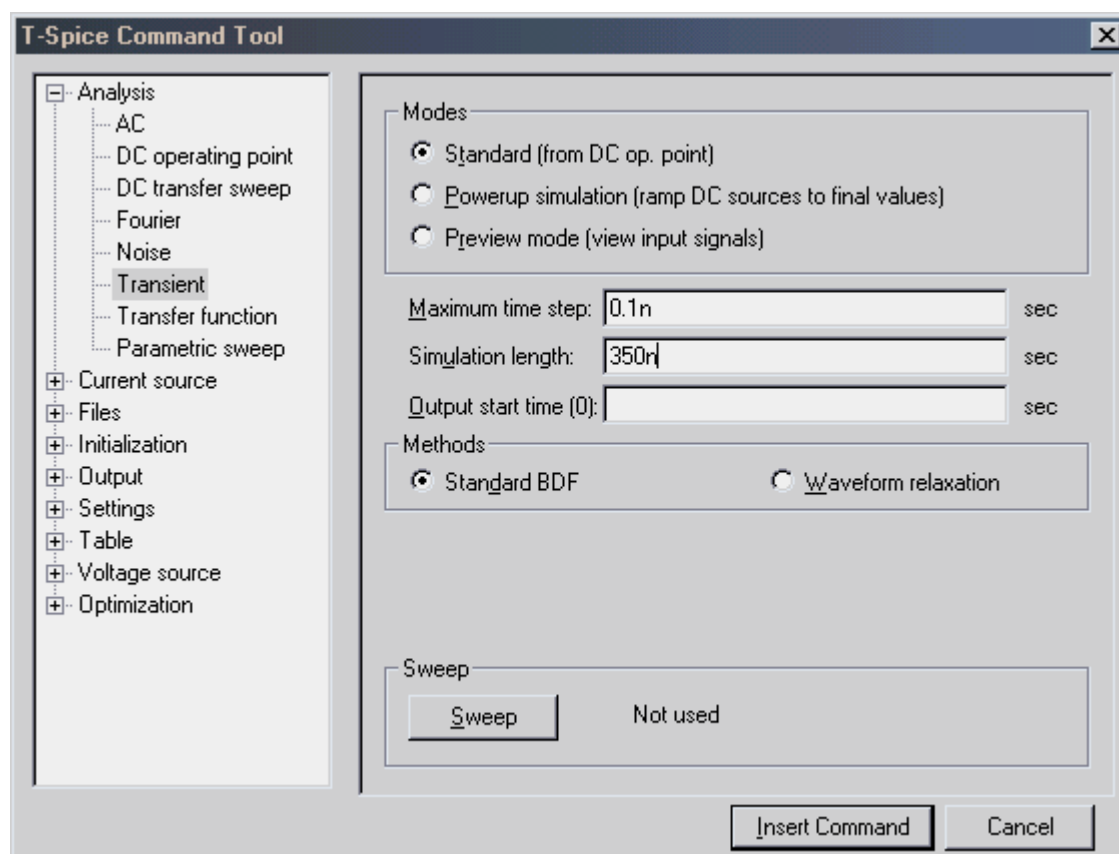
Войдите в диалоговое окно Insert Command . Войдите в меню Files->Include Files. Кнопкой Browse найдите файл в ml2_20.md. Примерная директория:
 ~\Tanner EDA\T-Spice Pro v6.02\models\ml2_20.md



Нажмите Insert Command. Появится строка:

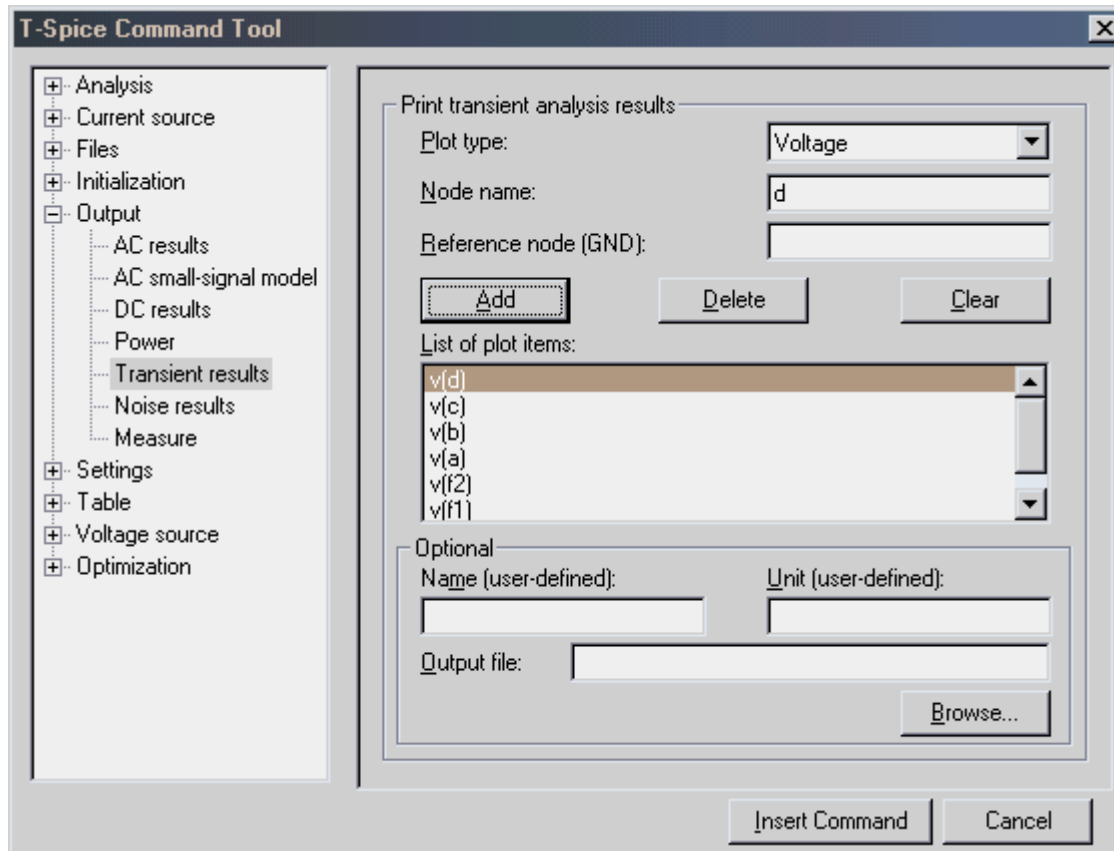
`.include "C:\Program Files\Tanner EDA\T-Spice Pro v6.02\models\ml2_20.md"`

Для того, чтобы указать длину временной прямой, надо нажать на кнопку . Выбрать Analysis->Transient. Максимальный шаг – 0.1n(нано секунд), длительность моделирования – 350n(нано секунд).



После нажатия Insert Command появится строчка:
.tran/op 0.1n 350n method=bdf

В диалоговом окне Insert Command->Out->Transient results вводите по очереди названия узлов, в которых необходимо проверить зависимость напряжения от времени.



Получится следующая строка:
.print tran v(f1) v(f2) v(a) v(b) v(c) v(d)

Текст программы.

* SPICE netlist written by S-Edit Win32 6.02
* Written on Apr 21, 2004 at 23:48:24

* Waveform probing commands

```
.probe  
.options probefilename="устройство1.dat"  
+ probesdbfile="D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1.sdb"  
+ probetopmodule="Module0"
```

* No Ports in cell: PageID_Tanner
* End of module with no ports: PageID_Tanner

```
.SUBCKT NAND3 A B C Out Gnd Vdd  
M4 Out C 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1  
M5 1 B 2 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1  
M6 2 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1  
* Page Size: 5x7  
* S-Edit 3-Input NAND Gate (TIB)  
* Designed by: J. Luo Apr 10, 2004 18:58:13  
* Schematic generated by S-Edit
```

* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module NAND3 / page Page0

```
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
M2 Out B Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M3 Out C Vdd Vdd PMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
.ENDS
```

.SUBCKT Inv A Out Gnd Vdd

```
M2 Out A Gnd Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='144*1*1' PS='68*1' PD='68*1' M=1
```

* Page Size: 5x7

* S-Edit Inverter (TIB)

* Designed by: J. Luo Apr 10, 2004 18:57:27

* Schematic generated by S-Edit

* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module Inv / page Page0

```
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='148*1*1' AD='144*1*1' PS='68*1' PD='68*1' M=1
.ENDS
```

.SUBCKT NAND4 A B C D Out Gnd Vdd

```
M5 Out D 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
```

```
M6 1 C 2 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M7 2 B 3 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M8 3 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
```

* Page Size: 5x7

* S-Edit 4-Input NAND Gate (TIB)

* Designed by: J. Luo Apr 10, 2004 18:59:46

* Schematic generated by S-Edit

* from file D:\studing_S62\схемотехника\Методичка Лаба 2\устройство1 / module NAND4 / page Page0

```
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
```

```
M2 Out B Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M3 Out C Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
```

```
M4 Out D Vdd Vdd PMOS W='28*1' L='2*1' AS='144*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
```

.ENDS

* Main circuit: Module0

.param l=1u

.include "C:\Program Files\Tanner EDA\T-Spice Pro v6.02\models\ml2_20.md"

XInv_1 a N10 Gnd Vdd Inv

XInv_2 b N8 Gnd Vdd Inv

XInv_3 c N9 Gnd Vdd Inv

XInv_4 d N11 Gnd Vdd Inv

XNAND3_1 a N8 N9 N13 Gnd Vdd NAND3

XNAND3_2 a N9 d N1 Gnd Vdd NAND3

XNAND3_3 N10 c d N14 Gnd Vdd NAND3

XNAND3_4 c N8 d N2 Gnd Vdd NAND3

XNAND3_5 N9 N10 b N4 Gnd Vdd NAND3

XNAND3_6 c b a N15 Gnd Vdd NAND3

XNAND3_7 N15 N3 N4 f2 Gnd Vdd NAND3

XNAND3_8 a N8 N11 N3 Gnd Vdd NAND3

XNAND4_1 N13 N1 N14 N2 f1 Gnd Vdd NAND4

v1 a Gnd bit({0000000011111111}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)

v2 b Gnd bit({0000111100001111}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)

v3 c Gnd bit({0011001100110011}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)


v4 d Gnd bit({0101010101010101}) pw=100n on=5.0 off=0.0 rt=3n ft=3n delay=0 lt=20n ht=20n)

v5 Vdd Gnd 5.0

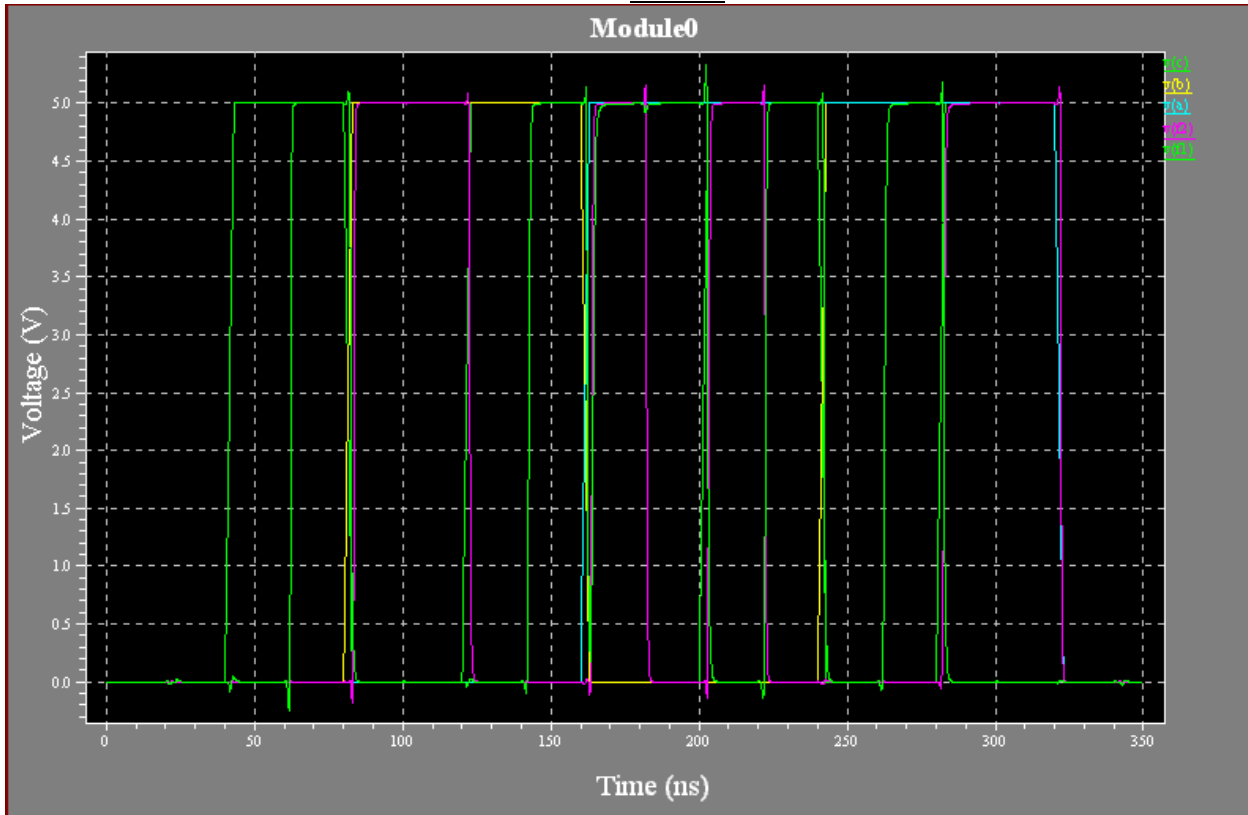
* End of main circuit: Module0


.tran/op 0.1n 350n method=bdf

.print tran v(f1) v(f2) v(a) v(b) v(c) v(d)

Остаётся рассчитать схему 

W-Edit



Графики необходимо разделить. Для этого нажмите кнопку Expand Charts 

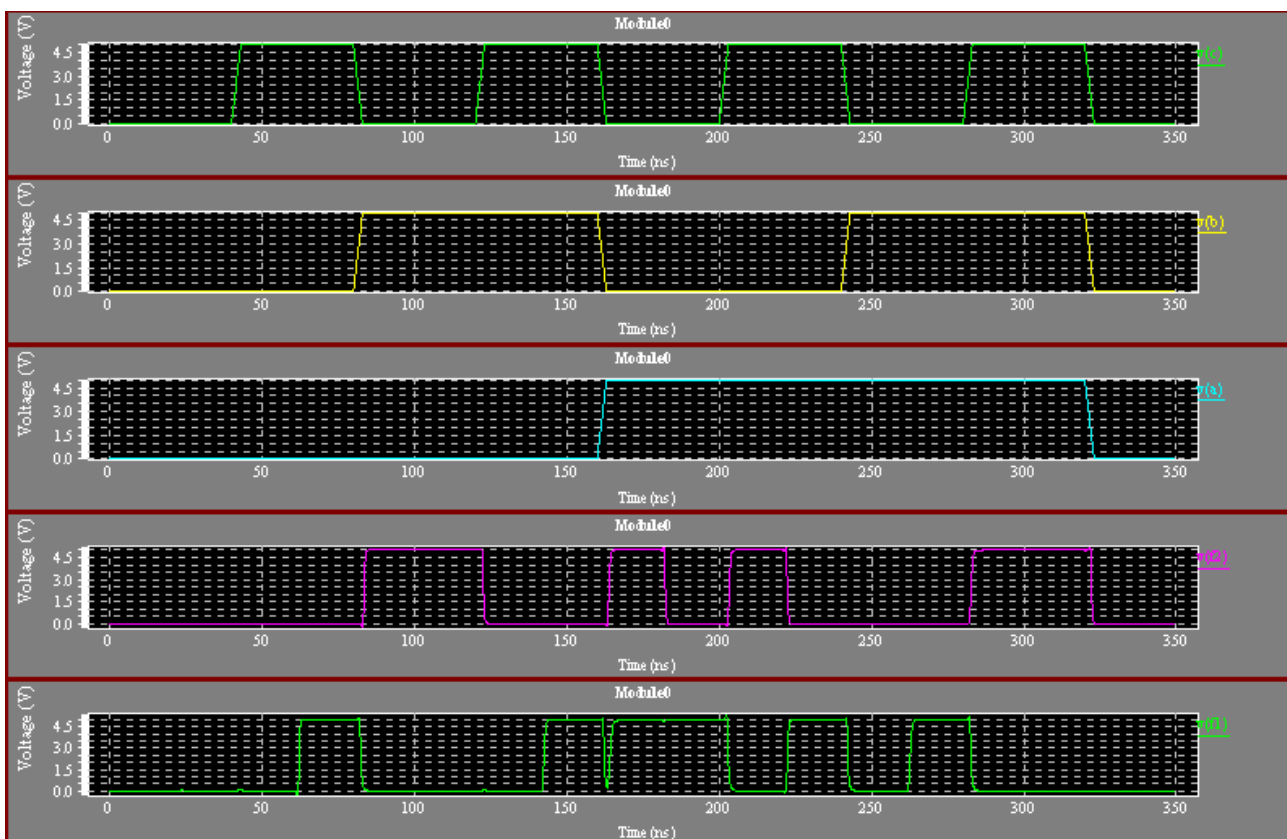
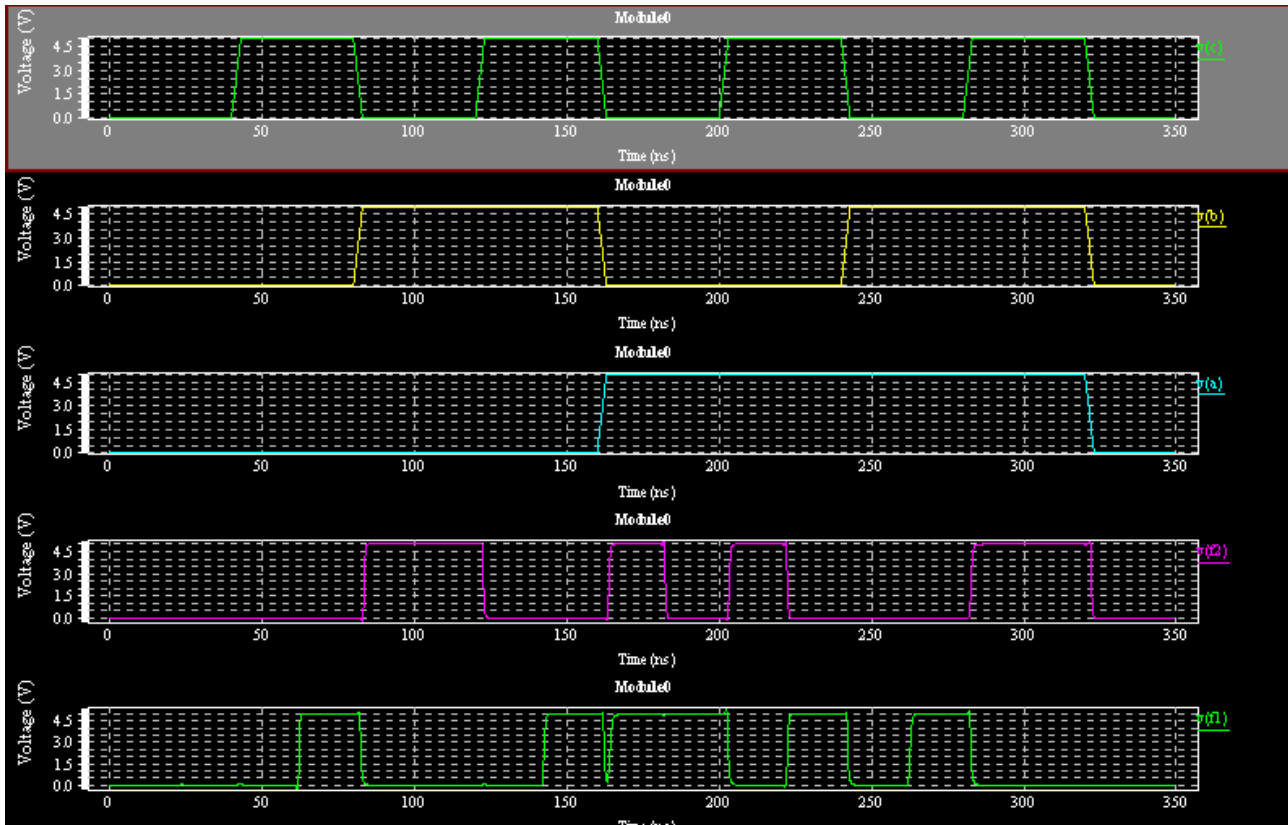
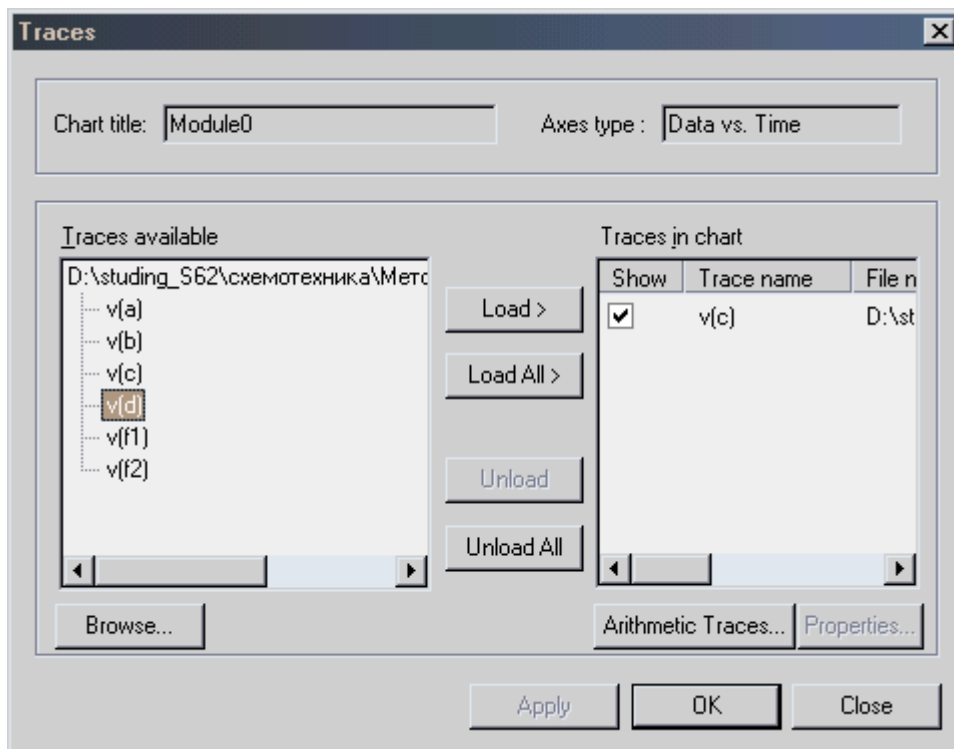


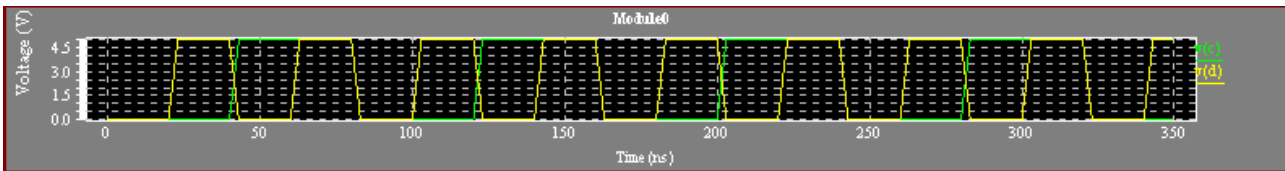
График напряжения для d не вывелся. Чтобы это исправить выделите один из графиков:




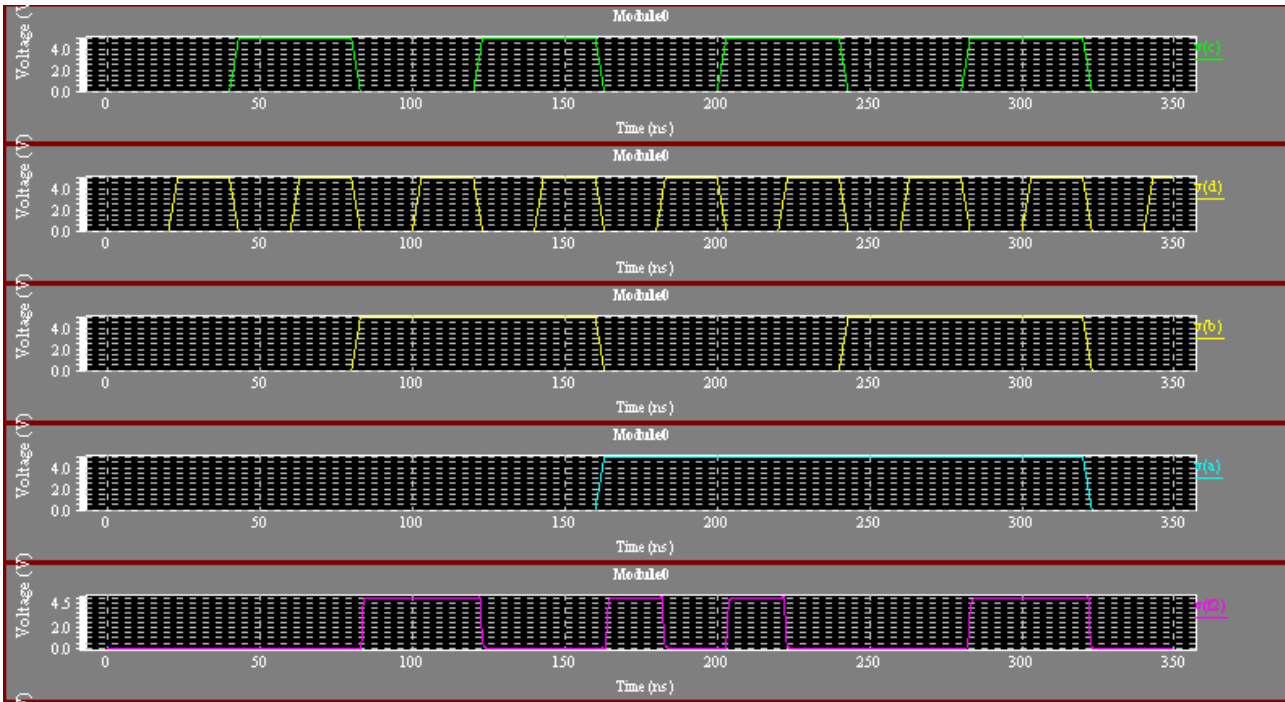
Нажмите на кнопку  Load/Unload Traces.



Выберите v(d). Нажмите Load, а затем ОК. Верхний график примет вид



Нажмите на кнопку Expand Charts . Получим:

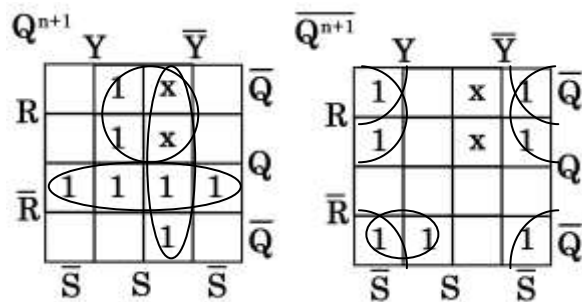


Графики соответствуют таблице истинности.

Теперь выполним компьютерное моделирование комбинационного триггера:

В качестве исследуемой схемы был выбран комбинационный триггер RS-DV. При подаче на управляющий вход (Y) нуля триггер будет работать как RS, при подаче 1 - как DV. Таблица истинности будет иметь следующий вид:

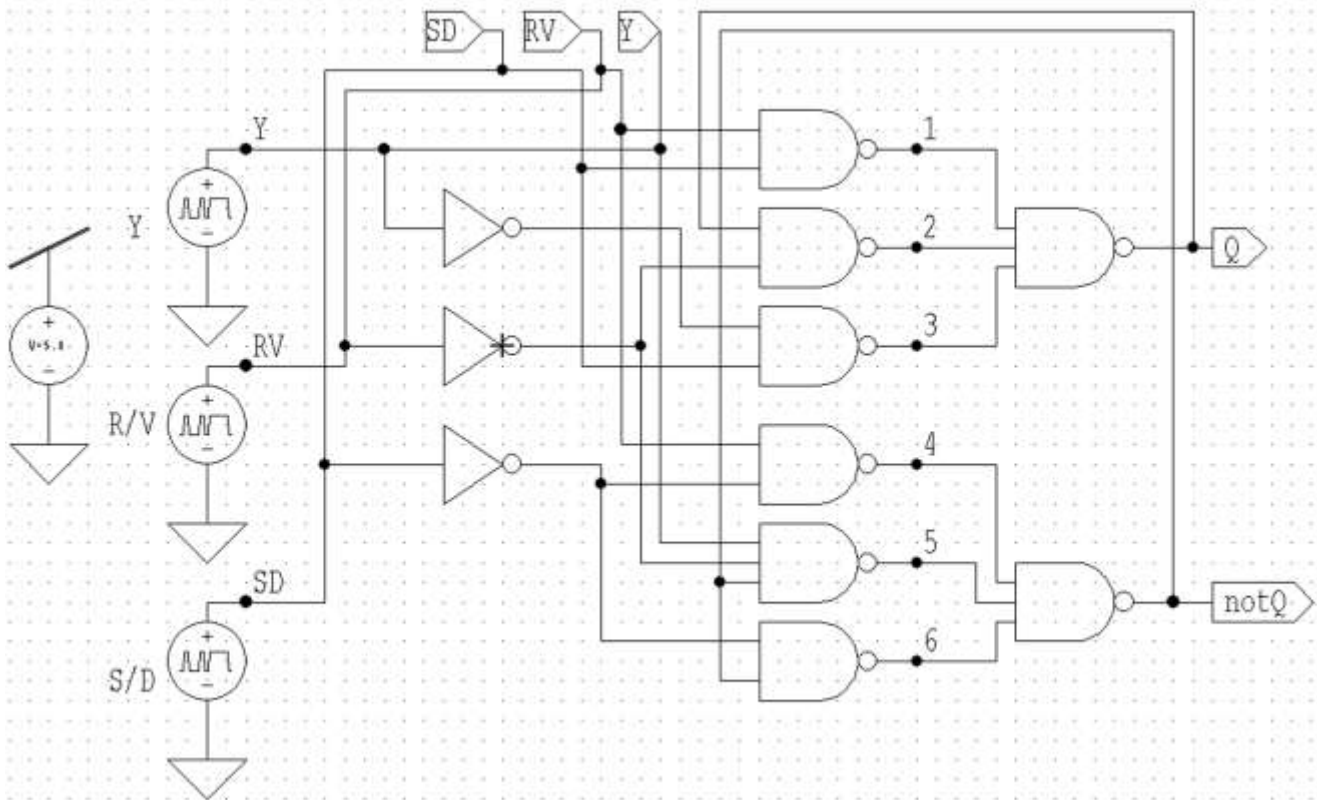
Y	R(V)	S(D)	Q ⁿ	Q ⁿ⁺¹	\overline{Q}^{n+1}
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	X	X
0	1	1	1	X	X
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	1	0



$$Q^{n+1} = RS + \overline{R}Q + \overline{Y}S = \overline{\overline{RS}} \cdot \overline{\overline{RQ}} \cdot \overline{\overline{YS}}$$

$$\overline{Q}^{n+1} = \overline{\overline{SQ}} + \overline{RS} + \overline{YRQ} = \overline{\overline{\overline{SQ}}} \cdot \overline{\overline{RS}} \cdot \overline{\overline{YRQ}}$$

Нарисуем схему триггера в **S-Edit**:



Переведем эту схему в **T-Spice**:

```
* SPICE netlist written by S-Edit Win32 6.02
* Written on May 12, 2004 at 21:27:46
* Waveform probing commands
.probe
.options probefilename="sedit.dat"
+ probesdbfile="D:\studing_S62\схемотехника\Laba2.sdb"
+ probetopmodule="Trigger"
* No Ports in cell: PageID_Tanner
* End of module with no ports: PageID_Tanner
.SUBCKT NAND3 A B C Out Gnd Vdd
M4 Out C 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
M5 1 B 2 Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M6 2 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
* Page Size: 5x7
* S-Edit 3-Input NAND Gate (TIB)
* Designed by: J. Luo Apr 14, 2004 17:44:10
* Schematic generated by S-Edit
* from file D:\studing_S62\схемотехника\Laba2 / module NAND3 / page Page0
M1 Out A Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
M2 Out B Vdd Vdd PMOS W='28*1' L='2*1' AS='84*1*1' AD='84*1*1' PS='34*1' PD='34*1' M=1
M3 Out C Vdd Vdd PMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
.ENDS
.SUBCKT NAND2 A B Out Gnd Vdd
M3 Out B 1 Gnd NMOS W='28*1' L='2*1' AS='148*1*1' AD='84*1*1' PS='68*1' PD='34*1' M=1
M4 1 A Gnd Gnd NMOS W='28*1' L='2*1' AS='84*1*1' AD='144*1*1' PS='34*1' PD='68*1' M=1
* Page Size: 5x7
* S-Edit 2-Input NAND Gate (TIB)
```



```

* Designed by: J. Luo Apr 14, 2004 17:44:24
* Schematic generated by S-Edit
* from file D:\studing_S62\схемотехника\Laba2 / module NAND2 / page Page0
M2 Out B Vdd Vdd PMOS W='28*' L='2*' AS='144*' AD='84*' PS='68*' PD='34*' M=1
M1 Out A Vdd Vdd PMOS W='28*' L='2*' AS='84*' AD='144*' PS='34*' PD='68*' M=1
.ENDS
.SUBCKT Inv A Out Gnd Vdd
M2 Out A Gnd Gnd NMOS W='28*' L='2*' AS='148*' AD='144*' PS='68*' PD='68*' M=1
* Page Size: 5x7
* S-Edit Inverter (TIB)
* Designed by: J. Luo Apr 14, 2004 17:43:44
* Schematic generated by S-Edit
* from file D:\studing_S62\схемотехника\Laba2 / module Inv / page Page0
M1 Out A Vdd Vdd PMOS W='28*' L='2*' AS='148*' AD='144*' PS='68*' PD='68*' M=1
.ENDS
* Main circuit: Trigger
.include ml2_20.md
.param l=1u
XInv_1 Y N12 Gnd Vdd Inv
XInv_2 RV N13 Gnd Vdd Inv
XInv_3 SD N4 Gnd Vdd Inv
XNAND2_1 N4 notQ 6 Gnd Vdd NAND2
XNAND2_2 Q N13 2 Gnd Vdd NAND2
XNAND2_3 RV N4 4 Gnd Vdd NAND2
XNAND2_4 RV SD 1 Gnd Vdd NAND2
XNAND2_5 N12 SD 3 Gnd Vdd NAND2
XNAND3_1 1 2 3 Q Gnd Vdd NAND3
XNAND3_2 4 5 6 notQ Gnd Vdd NAND3
XNAND3_4 Y N13 notQ 5 Gnd Vdd NAND3
v1 Y Gnd bit({0000000011111111}) pw=100n on=5.0 off=0.0 rt=2n ft=2n delay=0 lt=10n ht=10n)
v2 RV Gnd bit({10000110000111100}) pw=100n on=5.0 off=0.0 rt=2n ft=2n delay=0n lt=10n ht=10n)
v3 SD Gnd bit({00110000010010110}) pw=100n on=5.0 off=0.0 rt=2n ft=2n delay=0 lt=10n ht=10n)
v4 Vdd Gnd 5.0
.options numnt=200
.tran 0.05n 170n
* End of main circuit: Trigger
.print tran v(y) v(RV) v(SD) v(Q) v(notQ)

```

W-edit

